

GigaDevice Semiconductor Inc.

GD32L23x 系列硬件开发指南

应用笔记

AN069

1.3 版本

(2024 年 4 月)

目录

目录.....	2
图索引.....	3
表索引.....	4
1. 前言.....	5
2. 硬件设计.....	6
2.1. 电源.....	6
2.1.1. 备份域.....	7
2.1.2. V_{DD}/V_{DDA} 电源域.....	7
2.1.3. V_{REF} 电源.....	8
2.1.4. 供电设计.....	8
2.1.5. 复位及电源管理.....	11
2.2. 时钟.....	14
2.2.1. 外部高速晶体振荡时钟 (HXTAL).....	16
2.2.2. 外部低速晶体振荡时钟 (LXTAL).....	17
2.2.3. 时钟输出能力 (CKOUT).....	18
2.2.4. HXTAL 时钟监视器 (CKM).....	19
2.2.5. LXTAL 时钟监视器 (LCKM).....	19
2.3. 启动配置.....	19
2.4. 典型外设模块.....	20
2.4.1. GPIO 电路.....	20
2.4.2. SLCD 电路.....	21
2.4.3. ADC 电路.....	22
2.4.4. DAC 电路.....	24
2.4.5. USB 电路.....	24
2.4.6. Standby 模式唤醒电路.....	25
2.5. 下载调试电路.....	26
2.6. 参考原理图设计.....	27
3. PCB Layout 设计.....	28
3.1. 电源去耦电容.....	28
3.2. 时钟电路.....	28
3.3. 复位电路.....	29
3.4. USB 电路.....	29
4. 封装说明.....	31
5. 版本历史.....	32

图索引

图 2-1. GD32L233 系列电源域概览.....	6
图 2-2. GD32L235 系列电源域概览.....	7
图 2-3. GD32L233 系列推荐供电设计.....	9
图 2-4. GD32L235 系列推荐供电设计.....	10
图 2-5. 上电/掉电复位波形图.....	11
图 2-6. LVD 阈值波形图.....	12
图 2-7. BOR 阈值波形图.....	12
图 2-8. RCU_RSTSCK 寄存器.....	13
图 2-9. 系统复位电路.....	13
图 2-10. 推荐外部复位电路.....	14
图 2-11. GD32L233 系列时钟树.....	15
图 2-12. GD32L235 系列时钟树.....	16
图 2-13. HXTAL 外部晶体电路.....	16
图 2-14. HXTAL 外部时钟电路.....	17
图 2-15. LXTAL 外部晶体电路.....	17
图 2-16. LXTAL 外部时钟电路.....	18
图 2-17. 推荐 BOOT 电路设计.....	20
图 2-18. 标准 IO 的基本结构.....	20
图 2-19. SLCD 模块框图.....	21
图 2-20. ADC 单端输入模式采集电路设计.....	22
图 2-21. ADC 差分端输入模式采集电路设计.....	23
图 2-22. 推荐 USB-Device 参考电路.....	25
图 2-23. 推荐 Standby 外部唤醒引脚电路设计.....	25
图 2-24. 推荐 SWD 接线参考设计.....	26
图 2-25. GD32L23x 推荐参考原理图设计.....	27
图 3-1. 推荐电源引脚去耦 Layout 设计.....	28
图 3-2. 推荐时钟引脚 Layout 设计（无源晶体）.....	29
图 3-3. 推荐 NRST 走线 Layout 设计.....	29
图 3-4. 推荐 DM、DP 差分走线 Layout 设计.....	30

表索引

表 1-1. 适用产品.....	5
表 2-1. VBOR 阈值电压设置	13
表 2-2. CKOUTSEL[2:0]控制位.....	18
表 2-3. BOOT 模式.....	19
表 2-4. GD32L233 系列 fADC=16MHz 采样周期与外部输入阻抗关系.....	23
表 2-5. GD32L235 系列 fADC=16MHz 采样周期与外部输入阻抗关系.....	23
表 2-6. DAC 相关引脚描述.....	24
表 2-7. SWD 下载调试接口分配.....	26
表 4-1. 封装型号说明	31
表 5-1. 版本历史.....	32

1. 前言

本文是专为基于Arm® Cortex®-M23架构的32位通用MCU GD32L23x系列开发者提供的，对GD32L23x系列产品硬件开发做了总体介绍，如电源、复位、时钟、启动模式的设置及下载调试等。该应用笔记的目的是让开发者快速上手使用GD32L23x系列产品，并快速进行产品硬件开发使用，节约研读手册的时间，加快产品开发进度。

本应用笔记总共分为七部分来讲述：

1. 电源，主要介绍GD32L23x系列电源管理、供电及复位功能的设计；
2. 时钟，主要介绍GD32L23x系列高、低速时钟的功能设计；
3. 启动配置，主要介绍GD32L23x系列BOOT配置及设计；
4. 典型外设模块，主要介绍GD32L23x系列主要功能模块硬件设计；
5. 下载调试电路，主要介绍GD32L23x系列推荐典型下载调试电路；
6. 参考电路及PCB Layout设计，主要介绍GD32L23x系列硬件电路设计及PCB Layout设计注意事项；
7. 封装说明，主要介绍GD32L23x系列所包含的封装形式及命名。

该文档也满足了基于GD32L23x系列产品应用开发中所用到的最小系统硬件资源。

表 1-1. 适用产品

类型	型号
MCU	GD32L233xx 系列
	GD32L235xx 系列

2. 硬件设计

2.1. 电源

GD32L23x系列 V_{DD}/V_{DDA} 工作电压范围为1.71 V ~ 3.63 V。如[图2-1. GD32L233系列电源域概览](#)和[2.2. GD32L235系列电源域概览](#)所示，GD32L23x系列设备有三个电源域，包括 V_{DD}/V_{DDA} 域，1.1V域和备份域。 V_{DD}/V_{DDA} 域由电源直接供电，且在 V_{DD}/V_{DDA} 域中嵌入了一个LDO，用来为1.1 V域提供1.1V电源或0.9V电源。备份域供电 V_{BAK} 可通过电源切换器Power Switch切换到 V_{DD} 或 V_{BAT} 供电，当 V_{DD} 电源关闭时，电源切换器可以将备份域的电源切换到 V_{BAT} 引脚，此时备份域由 V_{BAT} 引脚（电池）供电。

图 2-1. GD32L233 系列电源域概览

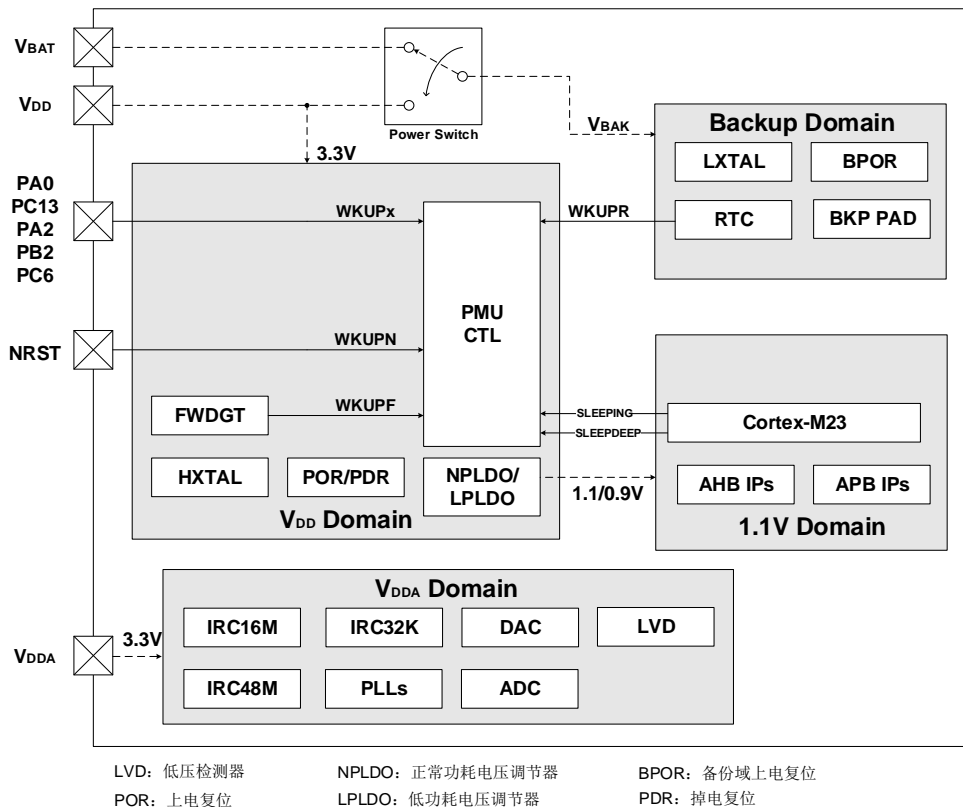
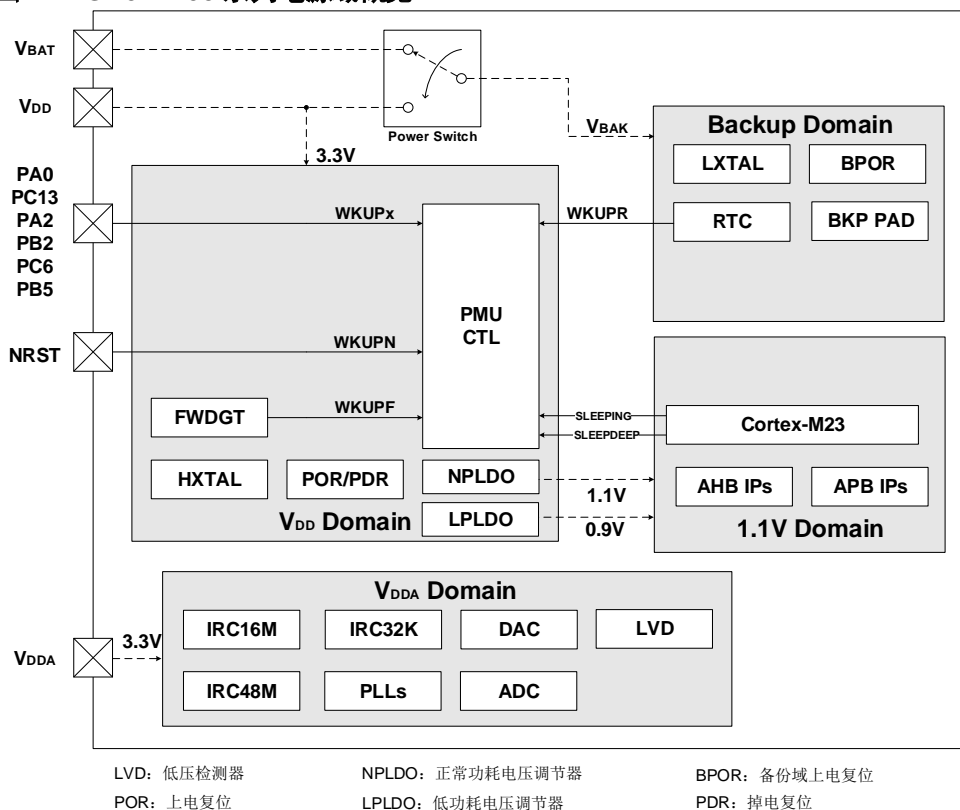


图 2-2. GD32L235 系列电源域概览



2.1.1. 备份域

备份域供电电压范围为1.71 V ~ 3.63 V。电池备份域由内部电源切换器来选择VDD供电或V_{BAT}（电池）供电，然后由V_{BAK}为备份域供电。为了确保备份域中寄存器的内容及RTC正常工作，当V_{DD}关闭时，V_{BAT}引脚可以连接至电池或其他电源等备份源供电。如果外部没有电池供电的应用，建议将V_{BAT}引脚通过100nF电容对地后接至V_{DD}引脚上。

关于VBAT引脚的功耗，理论上，当MCU的VDD有电时，备份域内部switch连接到VDD上，VBAT引脚无电流，但是，当主程序有使用ADC通过内部channel测量VBAT电压时，由于MCU设计，会对VBAT上的电压进行3分压，然后进ADC channel，因此会在VBAT引脚上引起额外的功耗（几十uA级）。

2.1.2. V_{DD}/V_{DDA} 电源域

V_{DD}/V_{DDA}电源域包括V_{DD}域和V_{DDA}域两部分。如果V_{DDA}不等于V_{DD}，要求两者之间的压差不能超过300mV（芯片内部V_{DDA}与V_{DD}通过背靠背二极管连接）。为避免噪声，V_{DDA}可通过外部滤波电路连接至V_{DD}，相应的V_{SSA}通过特定电路（单点接地，通过0Ω电阻或者磁珠等）连接至V_{SS}。

为了提高ADC的转换精度，为V_{DDA}独立供电可使模拟电路达到更好的特性。在大封装上含有专为ADC独立供电的V_{REF}引脚（对于GD32L233系列，1.8 V ≤ V_{REF} ≤ V_{DDA}；对于GD32L235系列，1.71 V ≤ V_{REF} ≤ V_{DDA}）。

- 48及以上引脚的封装芯片含有V_{REF}，可由内部V_{REF}电源或者外部电源提供；
- 32引脚封装芯片无V_{REF}，其在内部直连至V_{DDA}，所有模拟模块均由V_{DDA}供电（包括

ADC/DAC)。

2.1.3. V_{REF} 电源

为提高ADC/DAC性能，在GD32L23x系列产品芯片内部集成有一个精密的内部电压参考电路，其为ADC/DAC提供精准基准电压，也可以通过外部供电给 V_{REF} 引脚。GD32L233系列内部产生 V_{REF} 典型值：2.5V；GD32L235系列内部产生 V_{REF} 典型值：2.5V/1.5V，可通过配置REF_CS寄存器中的VREFS位选择参考电压数值。通过将VREF_CS寄存器中的VREFEN位置1使能该精准的内部参考（在这之前需要将RCU_APB2EN寄存器中的SYSCFGEN位置1），产生参考电压并连接到 V_{REF} 引脚。当VREFEN被禁用时，可将片外参考电压注入到 V_{REF} 引脚作为ADC/DAC的参考源。如果没有 V_{REF} 引脚(请参阅数据手册)，则 V_{REF} 连接到 V_{DDA} ，VREFEN位必须保持0。

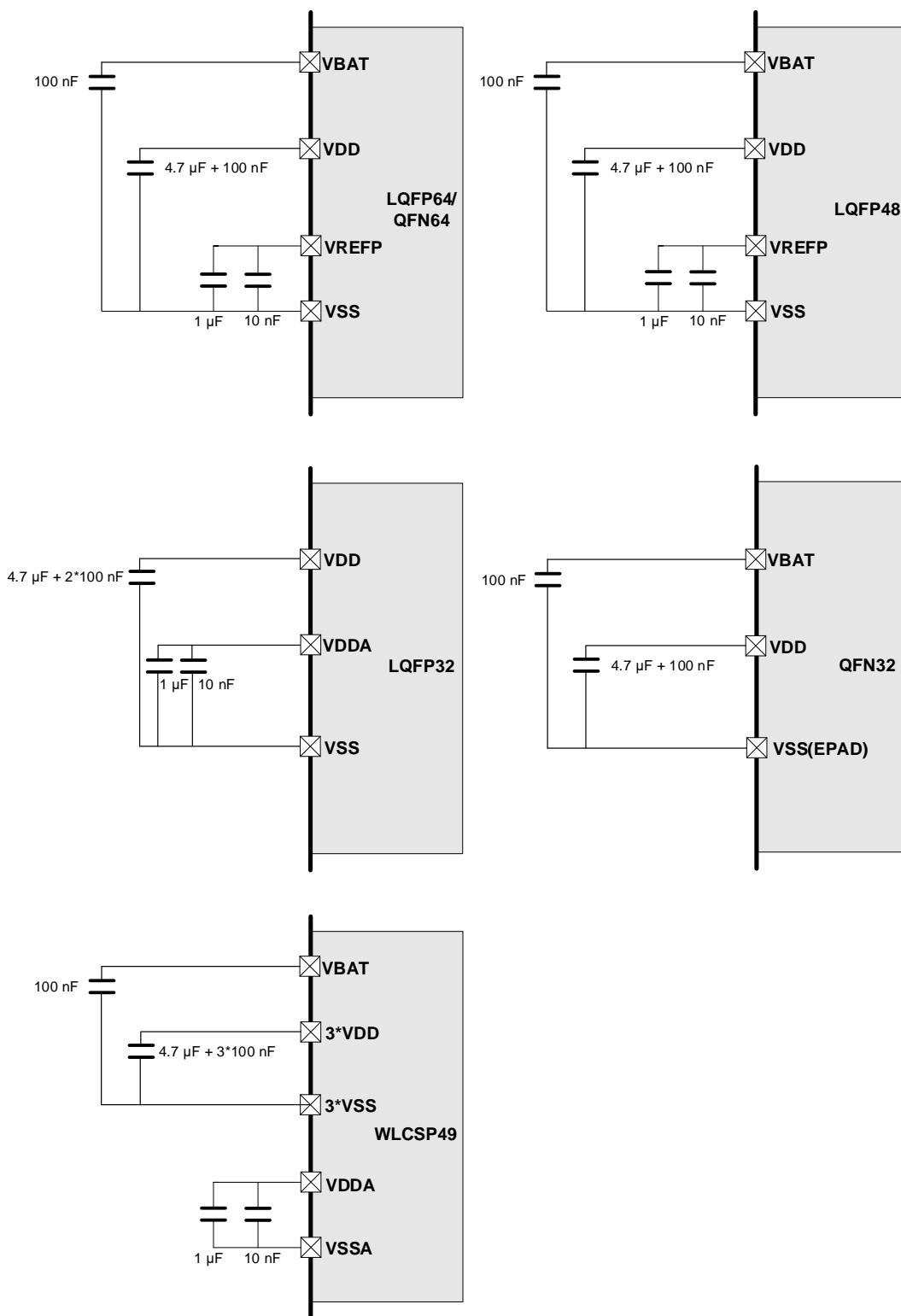
推荐 V_{REF} 引脚外部连接10nF+1uF陶瓷电容对地。

2.1.4. 供电设计

系统需要稳定的电源，开发使用的时候有些重要事项需要注意：

- VDD脚必须外接电容（100nF陶瓷电容+不小于4.7uF钽电容，至少一个VDD需要接不小于4.7uF电容到GND，其他VDD引脚接100nF）；
- VDDA脚必须外接电容（建议10nF+1uF陶瓷电容）；
- VREF引脚可由内部产生也可直连至VDDA，且在VREF引脚对地连接10nF+1uF陶瓷电容。
- VBAT必须连接至外部电池（1.71V~3.63V），如果没有外部电池，建议将VBAT引脚通过100nF电容对地后连接至 V_{DD} 引脚上。

图 2-3. GD32L233 系列推荐供电设计

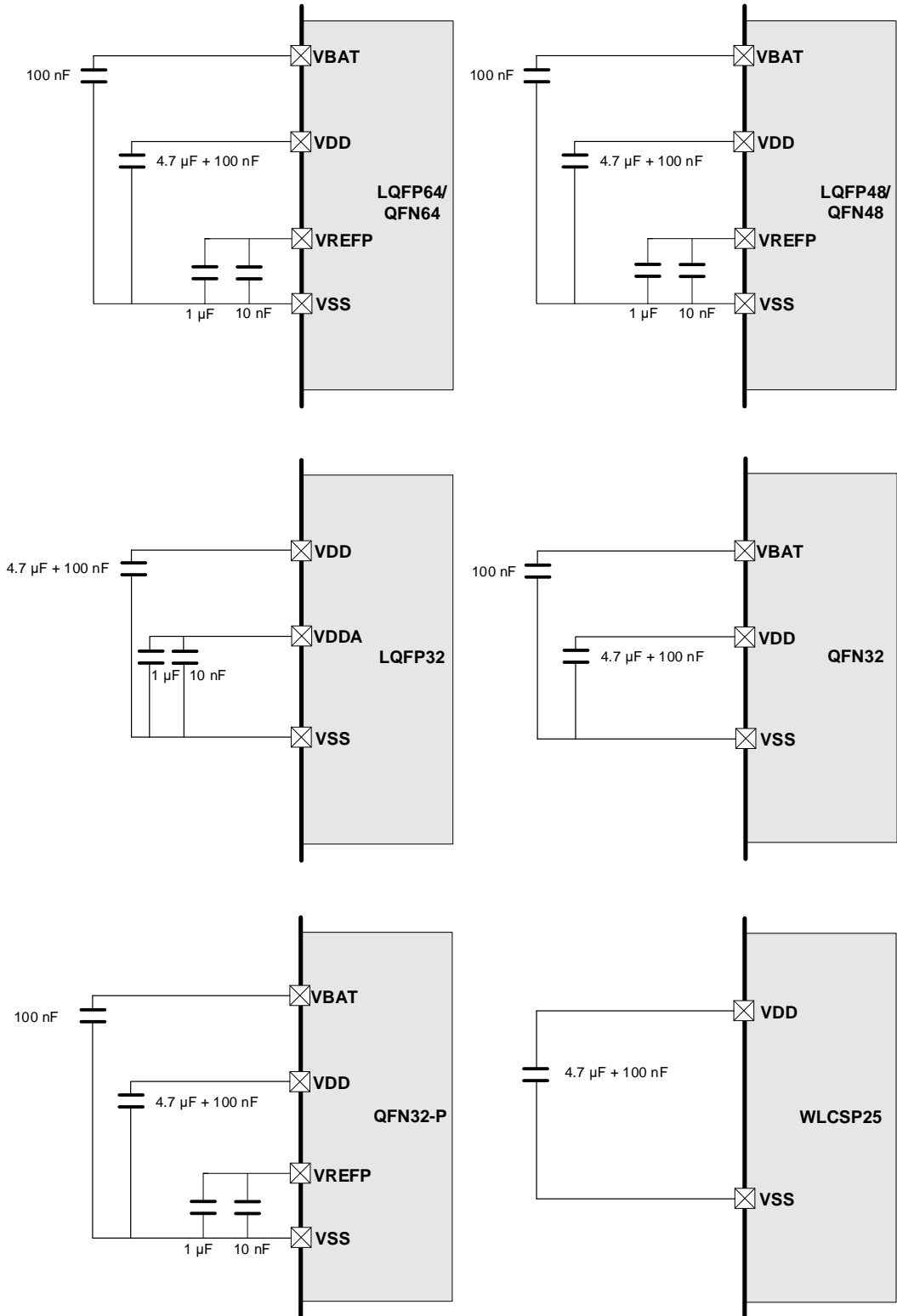


注意:

1. 所有去耦电容须靠近芯片对应引脚放置;
2. 当MCU电源电压不稳定, 或有电压跌落等风险时, 建议将VDD的4.7 μ F电容调整为不低于10 μ F的电容;
3. LQFP64/QFN64: VSS、VSSA、VREFN内部直连, VDD、VDDA内部直连;

4. LQFP48: VSS、VSSA、VREFN在内部直连, VDD、VDDA内部直连;
5. LQFP32: VSS、VSSA、VREFN内部直连, VREFP、VDDA内部直连;
6. QFN32: VSS、VSSA、VREFN内部和EPAD直连, VREFP、VDD和VDDA内部直连;
7. WLCSP49: VREFN、VSSA内部直连, VREFP、VDDA内部直连。

图 2-4. GD32L235 系列推荐供电设计



注意：

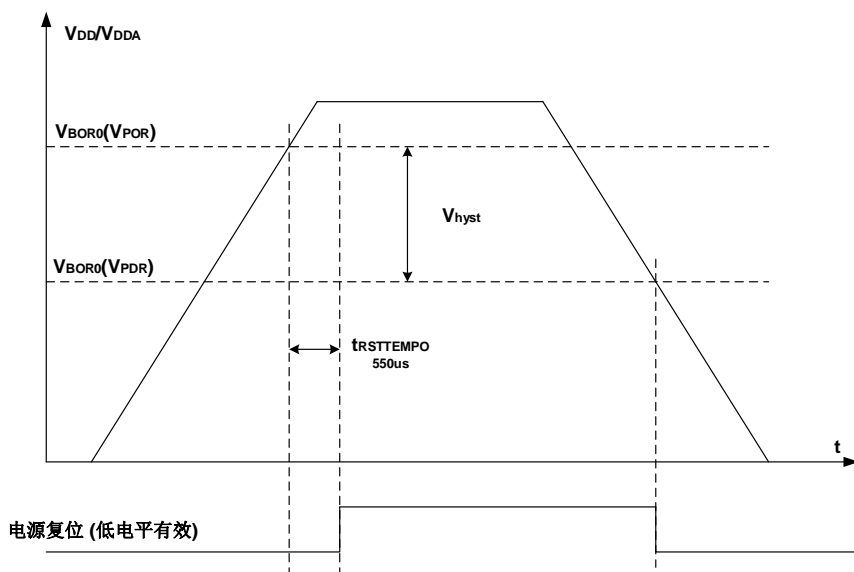
1. 所有去耦电容须靠近芯片对应引脚放置；
2. 当MCU电源电压不稳定，或有电压跌落等风险时，建议将VDD的4.7uF电容调整为不低于10uF的电容；
3. LQFP64: VSS、VSSA、VREFN内部直连，VDD、VDDA内部直连；
4. QFN64: VDD、VDDA内部直连，VSS、VSSA、VREFN内部和EPAD直连；
5. LQFP48: VSS、VSSA、VREFN在内部直连，VDD、VDDA内部直连；
6. QFN48: VDD、VDDA内部直连，VSS、VSSA、VREFN内部和EPAD直连；
7. LQFP32: VREFP与VDDA内部直连，VSS、VSSA、VREFN内部直连；
8. QFN32: VDD、VDDA、VREFP内部直连，VSS、VSSA、VREFN内部和EPAD直连；
9. QFN32-P: VDD、VDDA内部直连，VSS、VSSA、VREFN内部和EPAD直连；
10. WLCSP25: VREFN、VSSA、VSS内部直连，VREFP、VDDA、VDD内部直连。

2.1.5. 复位及电源管理

GD32L23x 系列复位控制包括三种复位：电源复位、系统复位和备份域复位。电源复位为冷复位，电源启动时复位除了备份域的所有系统。电源和系统复位的过程中，NRST 会维持一个低电平，直至复位结束。MCU 无法执行起来时，可以通过示波器监测 NRST 管脚波形来判断芯片是否有一直发生复位事件。

芯片内部集成 POR/ PDR（上电/掉电复位）电路，用于检测 V_{DD}/V_{DDA} 并在电压低于特定阈值时产生电源复位信号复位除备份域之外的整个芯片。 $V_{BOR0}(V_{POR})$ 表示上电复位的阈值电压，GD32L233 系列典型值约为 1.60 V，GD32L235 系列典型值约为 1.56 V。 $V_{BOR0}(V_{PDR})$ 表示掉电复位的阈值电压，GD32L233 系列典型值约为 1.56 V，GD32L235 系列典型值约为 1.48 V。GD32L233 系列迟滞电压 V_{hyst} 值约为 40mV，GD32L235 系列迟滞电压 V_{hyst} 值约为 80mV。

图2-5. 上电/掉电复位波形图



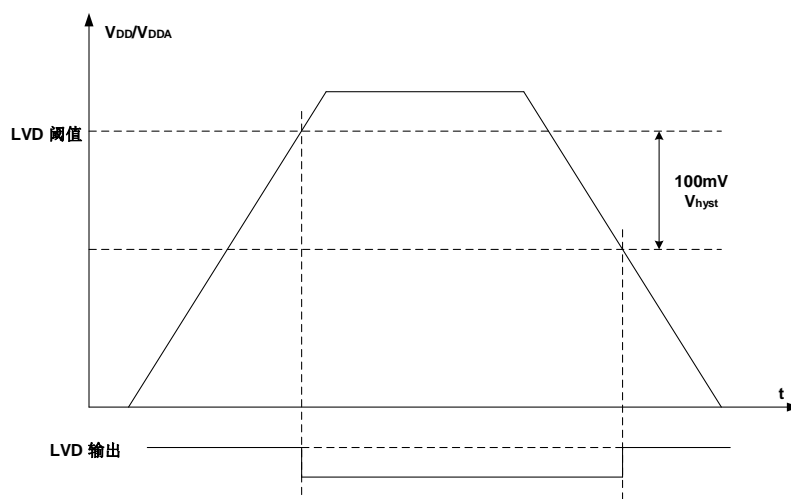
LVD的功能是检测 V_{DD}/V_{DDA} 供电电压是否低于低电压检测阈值（2.1V~3.0V），该阈值由电源控制寄存器(PMU_CTL0)中的LVDT[2:0]位进行配置。LVD通过LV DEN置位使能，位于电源控制和状态寄存器(PMU_CS)中的LVDF位表示 V_{DD}/V_{DDA} 高于或低于LVD阈值电压事件是否出现，该

事件连接至EXTI的第16线，用户可以通过配置EXTI的第16线产生相应的中断。[图2-6. LVD阈值波形图](#)显示了 V_{DD}/V_{DDA} 供电电压和LVD输出信号的关系。（LVD中断信号依赖于EXTI第16线的上升或下降沿配置）。迟滞电压 V_{hyst} 值为100mV。

注意：当LVDT[2:0]位配置为“111”时，PB7引脚上的输入电压与0.8V进行比较，LVDF位表示输入电压高于或低于0.8V。

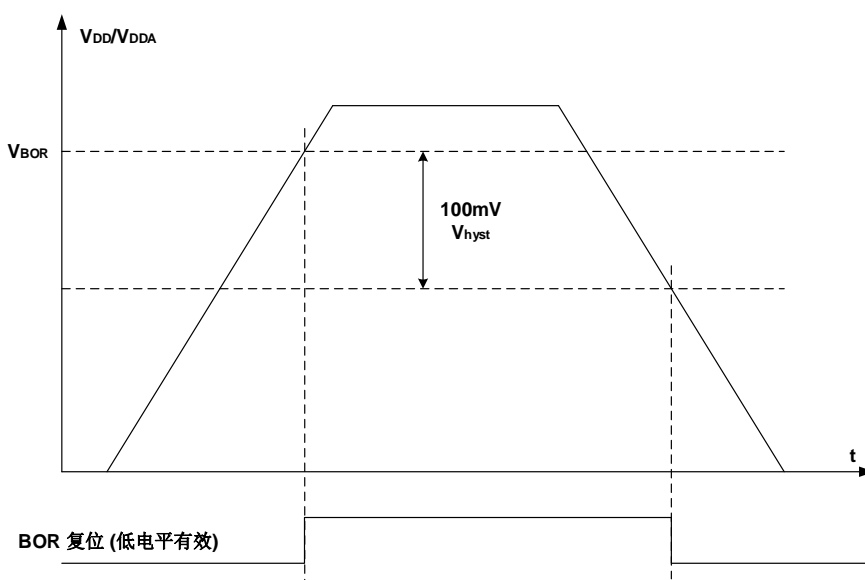
LVD 应用场合：当MCU电源受到外部干扰时，如发生电压跌落，我们可通过LVD设置低电压检测阈值（该阈值大于PDR值），一旦跌落到该阈值，LVD中断被打开，可在中断函数里设置软复位等操作，避免MCU发生其他异常。

图2-6. LVD阈值波形图



GD32L23x系列MCU内部还集成有BOR电路。BOR电路检测 V_{DD}/V_{DDA} 并在电压低于选项字节的BOR_TH定义的阈值时，产生电源复位信号复位除备份域外的整个芯片。[图2-7. BOR阈值波形图](#)显示了供电电压和BOR复位信号之间的关系。 V_{BOR} 表示BOR复位的阈值电压，该值在选项字节BOR_TH中定义。迟滞电压 V_{hyst} 值为100mV。

图2-7. BOR阈值波形图



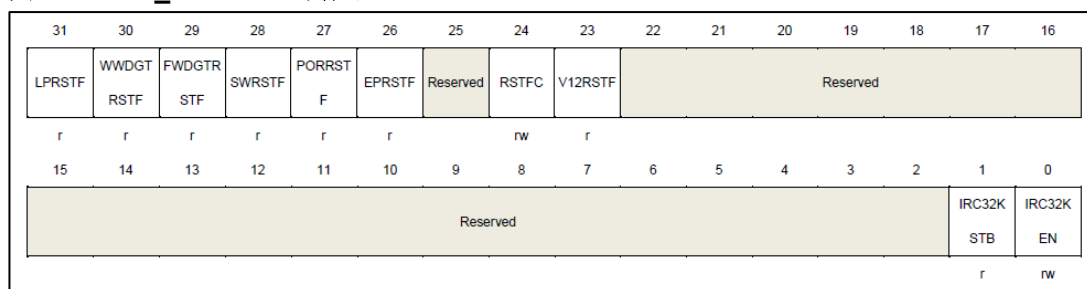
BOR阈值通过选项字节BOR_TH设置，可以设置五种不同的level，对应关系参照下表：

表 2-1. VBOR 阈值电压设置

名称	条件	典型值	
		GD32L233 系列	GD32L235 系列
BOR_TH=100(BOR level4)	上升沿	2.90 V	2.90 V
	下降沿	2.80 V	2.80 V
BOR_TH=011(BOR level3)	上升沿	2.60 V	2.60 V
	下降沿	2.50 V	2.50 V
BOR_TH=010(BOR level2)	上升沿	2.30 V	2.30 V
	下降沿	2.20 V	2.20 V
BOR_TH=001(BOR level1)	上升沿	2.10 V	2.10 V
	下降沿	2.00 V	2.00 V
BOR_TH=000/101/110/111 (BOR level0)	上升沿	1.60 V	1.56 V
	下降沿	1.56 V	1.48 V

另外，MCU复位源可以通过查询寄存器RCU_RSTSCK (0x40021024)来判断，该寄存器只有上电复位才能清除标志位，所以在使用过程中，获取到复位源后，可通过RSTFC控制位清除复位标志，那样发生看门狗复位或其他复位事件时，才能较准确在RCU_RSTSCK寄存器中体现出来：

图 2-8. RCU_RSTSCK 寄存器



MCU内部集成有上电/掉电复位电路，在设计外部复位电路时，NRST管脚必须要放置一个电容（典型值100nF），确保NRST管脚上电能产生一个至少20us的低脉冲延时，完成有效上电复位过程。

图2-9. 系统复位电路

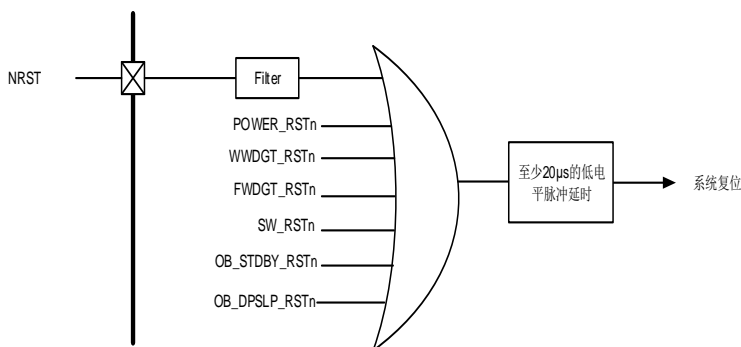
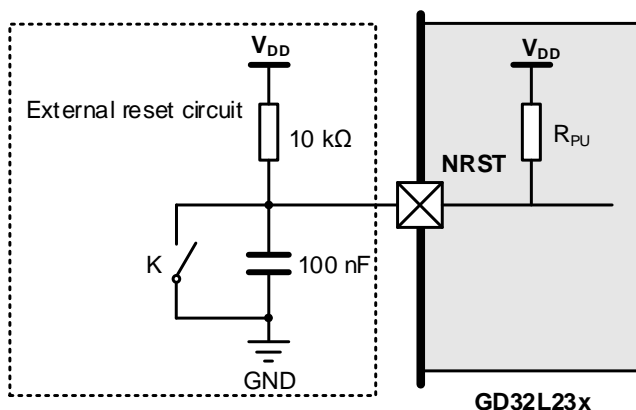


图 2-10. 推荐外部复位电路

**注意：**

1. 上拉电阻建议10kΩ即可，以使得电压干扰不会导致芯片工作异常；
2. 若考虑静电等影响，可在NRST管脚处放置ESD保护二极管；
3. 尽管MCU内部有硬件POR电路，仍推荐外部加NRST复位阻容电路；
4. 如果MCU启动异常（由于电压波动等），可适当增加NRST对地电容值，拉长MCU复位完成时间，避开上电异常时序区。

2.2. 时钟

GD32L23x系列内部有完备的时钟系统，可以根据不同的应用场合，选择合适的时钟源，时钟主要特征：

- 4-32 MHz外部高速晶体振荡器(HXTAL)
- 16 MHz内部高速RC振荡器(IRC16M)
- 48 MHz内部高速RC振荡器(IRC48M)
- 32.768 kHz外部低速晶体振荡器(LXTAL)
- 32 kHz内部低速RC振荡器(IRC32K)
- PLL时钟源可选HXTAL，IRC16M或IRC48M
- HXTAL和LXTAL时钟监视器

图 2-11. GD32L233 系列时钟树

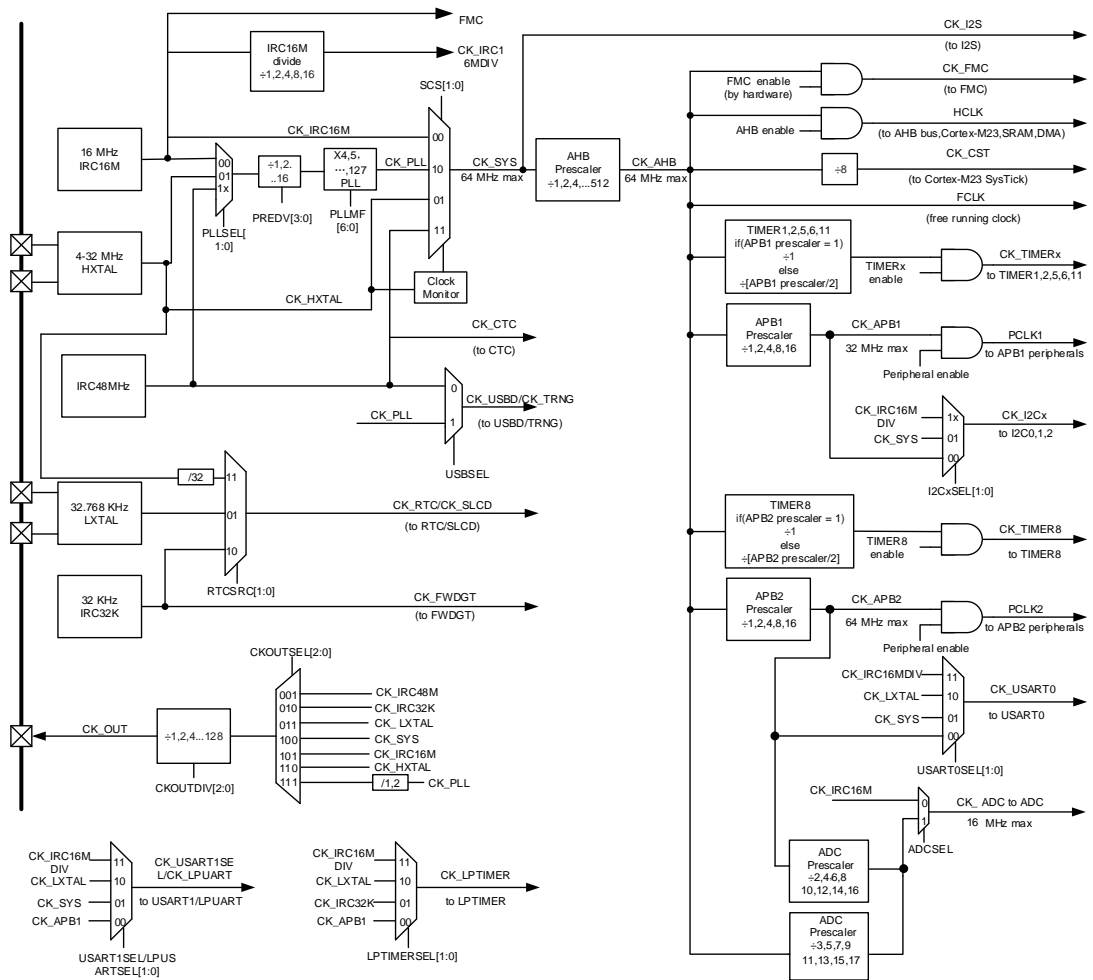
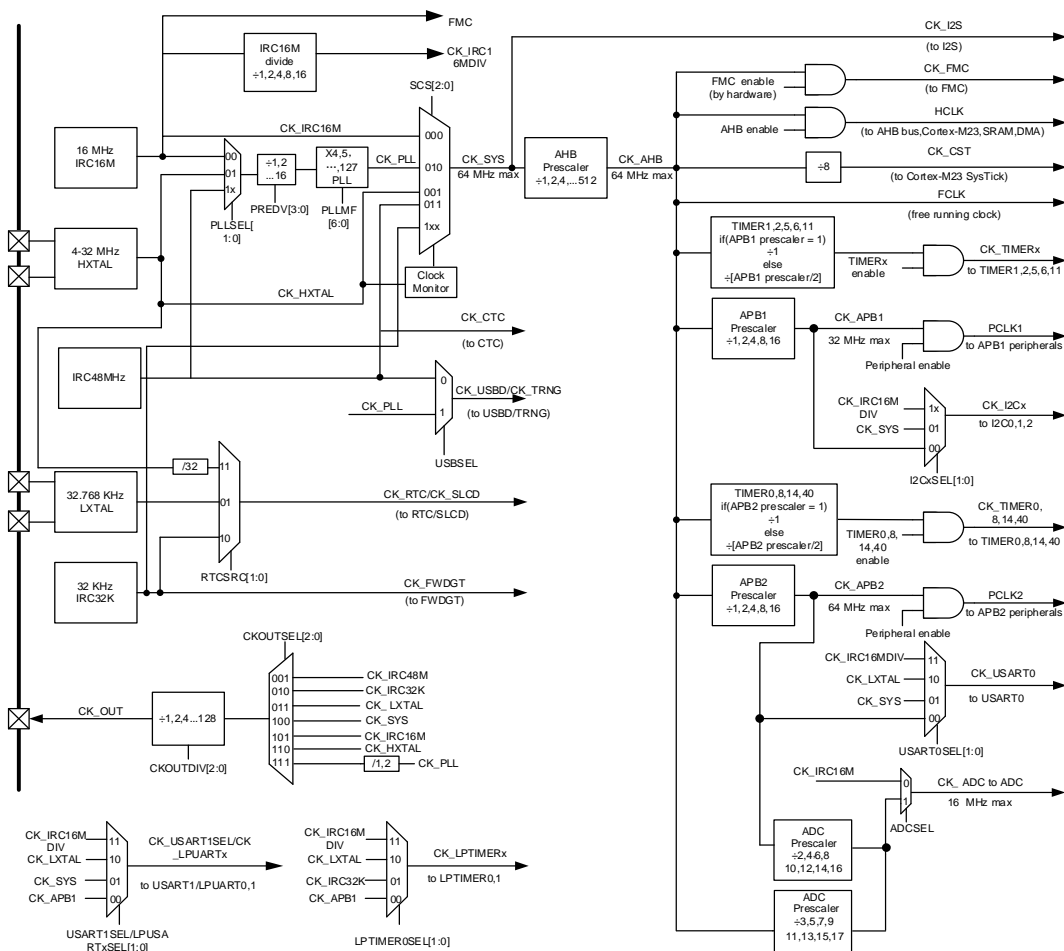


图 2-12. GD32L235 系列时钟树



2.2.1. 外部高速晶体振荡时钟 (HXTAL)

4-32MHz外部高速晶体振荡器（无源晶体）可为系统提供精准的主时钟。该特定频率的晶体必须靠近HXTAL引脚放置，和晶体连接的外部电阻和匹配电容必须根据所选择的振荡器参数来调整。HXTAL还可以使用旁路输入的模式来输入时钟源（1-50MHz有源晶振等）。旁路输入时，信号接至OSC_IN，OSC_OUT保持悬空状态，软件上需要打开HXTAL的Bypass功能（使能RCU_CTL里的HXTALBPS位）。

图 2-13. HXTAL 外部晶体电路

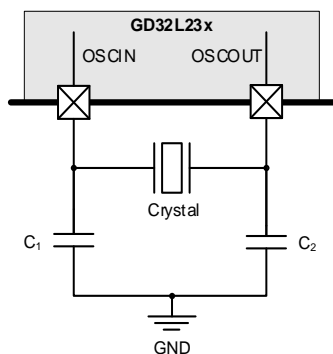
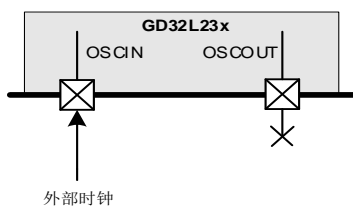


图 2-14. HXTAL 外部时钟电路

**注意：**

1. 使用旁路输入时，信号从OSC_IN输入，OSC_OUT保持悬空状态；
2. 关于外部匹配电容大小可参考公式： $C_1 = C_2 = 2 * (C_{LOAD} - C_S)$ ，其中 C_S 为PCB和MCU引脚的杂散电容，典型值为10pF。推荐选用外部高速晶体时，尽量选择晶体负载电容在20pF左右的，这样外部所接匹配电容 C_1 和 C_2 电容值为20pF即可，且PCB Layout时尽可能近地靠近晶振引脚；
3. C_S 为PCB板走线及IC pin上的寄生电容，当晶体离MCU越近， C_S 越小，反之越大。所以，在实际应用中，当晶体离MCU较远导致晶体工作异常时，可适当减小外部匹配电容；
4. 使用外部高速晶体时，建议在晶体两端并联1MΩ电阻，以使得晶体更容易起振；
5. 精度：外部有源晶振 > 外部无源晶体 > IRC16M > IRC48M；
6. 正常使用有源晶振，会打开Bypass，此时要求高电平不低于0.7V_{DD}，低电平不大于0.3V_{DD}。如不打开Bypass，对有源晶振的振幅幅值要求会大大降低；
7. 谐振器与MCU时钟引脚连接的走线可能会应为PCB布局布线的空间限制导致连接到OSC_OUT和OSC_IN两个引脚的走线长度不一致。这会使两条PCB走线引入的杂散电容不一致，从而导致谐振器两边的负载电容在取值时不能相等，需要存在差值以匹配实际的PCB板。对于这种情况建议联系谐振器厂家测算实际的数值。

2.2.2. 外部低速晶体振荡时钟（LXTAL）

LXTAL晶体是一个32.768 kHz的低速外部晶体（无源晶体），能够为RTC提供一个低功耗且高精度的时钟源。MCU的RTC模块相当于一个计数器，精度会受到晶体性能、匹配电容以及PCB材质等影响，如果想要获取到较好精度，在电路设计时，建议将RTC_OUT引脚接至定时器输入捕获管脚，通过TIMER来对LXTAL进行校准，根据校准情况设定RTC的分频寄存器。LXTAL也可以支持旁路时钟输入（有源晶振等），可以通过配置RCU_BDCTL里面的LXTALBPS位来使能。

图 2-15. LXTAL 外部晶体电路

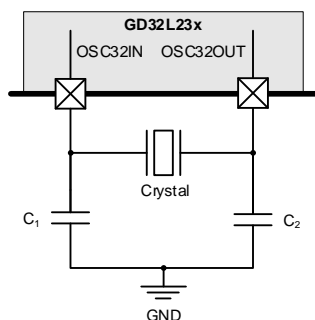
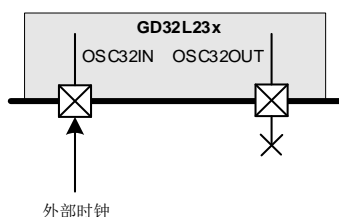


图 2-16. LXTAL 外部时钟电路

**注意：**

1. 使用旁路输入时，信号从OSC32_IN输入，OSC32_OUT保持悬空状态；
2. 关于外部匹配电容大小可参考公式： $C_1 = C_2 = 2 * (C_{LOAD} - C_S)$ ，其中 C_S 为PCB和MCU引脚的杂散电容，经验值在2pF-7pF之间，建议以5pF为参考值计算。推荐选用外部晶体时，尽量选择晶体负载电容在10pF左右的，这样外部所接匹配电容 C_1 和 C_2 电容值为10pF即可，且PCB Layout时尽可能近地靠近晶振引脚；
3. 当RTC选择IRC32K作为时钟源，并且使用 V_{BAT} 外部独立供电时，如果此时MCU掉电，RTC会停止计数，重新上电后，RTC会接着之前的计数值继续累加计时。若应用需要使用 V_{BAT} 给RTC供电时，RTC仍能正常计时，RTC须选择LXTAL作为时钟源；
4. MCU可以设置LXTAL的驱动能力，若实际调试过程中，发现外部低速晶体难以起振，可尝试将LXTAL的驱动能力调整为高驱动能力；
5. 谐振器与MCU时钟引脚连接的走线可能会应为PCB布局布线的空间限制导致连接到MCU两个晶振引脚的走线长度不一致。这会使两条PCB走线引入的杂散电容不一致，从而导致谐振器两边的负载电容在取值时不能相等，需要存在差值以匹配实际的PCB板。对于这种情况建议联系谐振器厂家测算实际的数值。

2.2.3. 时钟输出能力（CKOUT）

GD32L23x系列MCU可输出从32 kHz到64 MHz的时钟。通过设置时钟配置寄存器RCU_CFG0中的CK_OUT时钟源选择位域CKOUTSEL能够选择不同的时钟信号。相应的GPIO引脚（PB13、PA8、PA9）应该被配置成备用功能I/O(AFIO)模式来输出选择的时钟信号。

表 2-2. CKOUTSEL[2:0]控制位

CKOUTSEL[2:0]	时钟源
000	无时钟
001	CK_IRC48M
010	CK_IRC32K
011	CK_LXTAL
100	CK_SYS
101	CK_IRC16M
110	CK_HXTAL
111	CK_PLL 或 CK_PLL/2

2.2.4. HXTAL 时钟监视器 (CKM)

设置时钟控制寄存器RCU_CTL0中的HXTAL时钟监视使能位CKMEN, HXTAL可以使能时钟监视功能。该功能必须在HXTAL启动延迟完毕后使能, 在HXTAL停止后禁止。一旦监测到HXTAL故障, HXTAL将自动被禁止, 时钟中断寄存器RCU_INT中的HXTAL时钟阻塞标志位CKMIF将被置‘1’, 产生HXTAL故障事件。这个故障引发的中断和Cortex®-M23的不可屏蔽中断相连。

注意: 如果HXTAL被选作系统或PLL的时钟源, HXTAL故障将促使选择IRC16M为系统时钟源且PLL将被自动禁止。RTC的时钟源需要重新配置。

2.2.5. LXTAL 时钟监视器 (LCKM)

设置时钟控制寄存器 RCU_BDCTL 中的 LXTAL 时钟监视使能位 LXTALCKMEN, LXTAL 可以使能时钟监视功能。该功能必须在 LXTAL 启动延迟完毕和 IRC32K 使能后使能。

LXTAL 上的时钟监视器在除 VBAT 以外的所有模式下工作。如果在外部 32 kHz 振荡器上检测到故障, 可以向 CPU 发送中断。

然后, 软件必须禁用 LXTALCKMEN 位, 停止有缺陷的 32 kHz 振荡器, 并更改 RTC 时钟源, 或采取任何必要的措施来保护应用程序。

当 LXTALCKMEN 启用时, 一个 4 位加一个计数器将在 IRC32K 域工作。如果 LXTAL 时钟卡在 0/1 错误或减慢约 20KHz, 计数器将溢出。将发现 LXTAL 时钟故障。

2.3. 启动配置

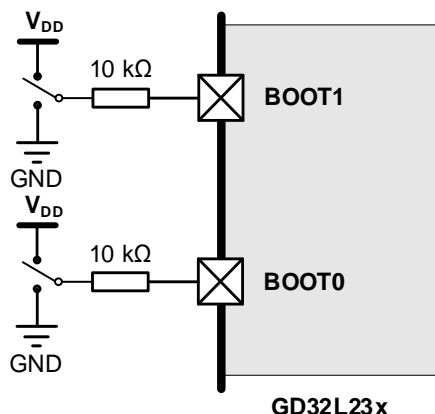
GD32L23x系列提供三种启动方式, 可以通过BOOT0位和BOOT1引脚进行选择来确定启动选项。电路设计时, 运行用户程序, BOOT0引脚不能悬空, 建议通过一个10kΩ电阻到GND; 运行System Memory进行程序更新, 需要将BOOT0引脚接高, BOOT1引脚接低, 更新完成后, 再将BOOT0接低后上电才能运行用户程序; SRAM执行程序多用于调试状态下。

嵌入式的Bootloader存放在系统存储空间, 用于对FLASH存储器进行重新编程。Bootloader可以通过USART0 (PA9 and PA10)、USART1 (PA2 and PA3) 或USB (PA11 and PA12) 和外界交互。

表 2-3. BOOT 模式

BOOT 模式	BOOT1	BOOT0
主 FLASH 存储器	x	0
系统存储器	0	1
片上 SRAM	1	1

图 2-17. 推荐 BOOT 电路设计



注意:

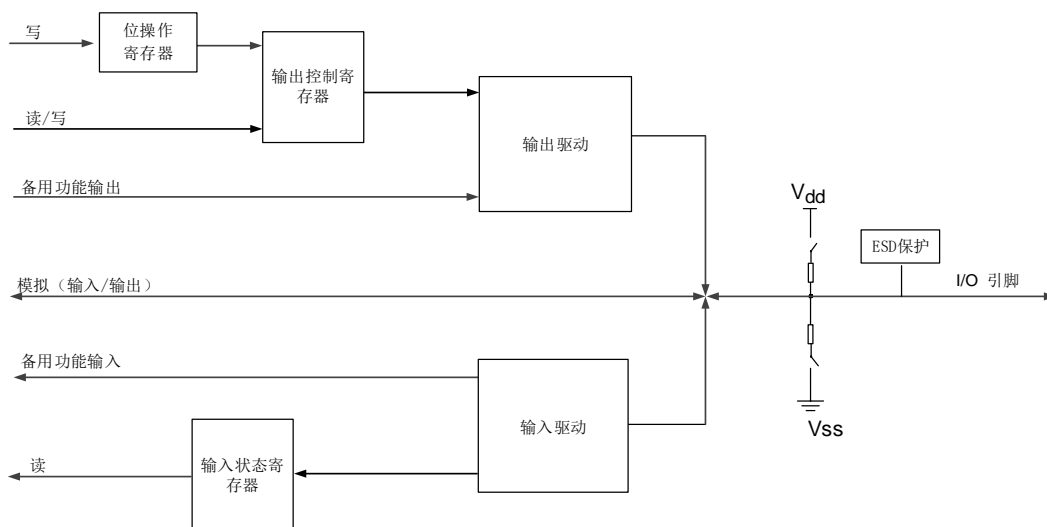
1. MCU运行后, 如果改变BOOT状态, 须系统复位后才可生效;
2. 一旦BOOT1引脚状态被采样到, 它可以被释放用于其他用途。

2.4. 典型外设模块

2.4.1. GPIO 电路

GD32L23x最多可支持59个通用I/O引脚 (GPIO), 分别为PA0 ~ PA15, PB0 ~ PB15, PC0 ~ PC15, PD0 ~ PD6, PD8 ~ PD9, PF0 ~ PF1; 每个引脚都可以通过寄存器独立配置, GPIO口的基本结构详见下图:

图 2-18. 标准 IO 的基本结构



注意:

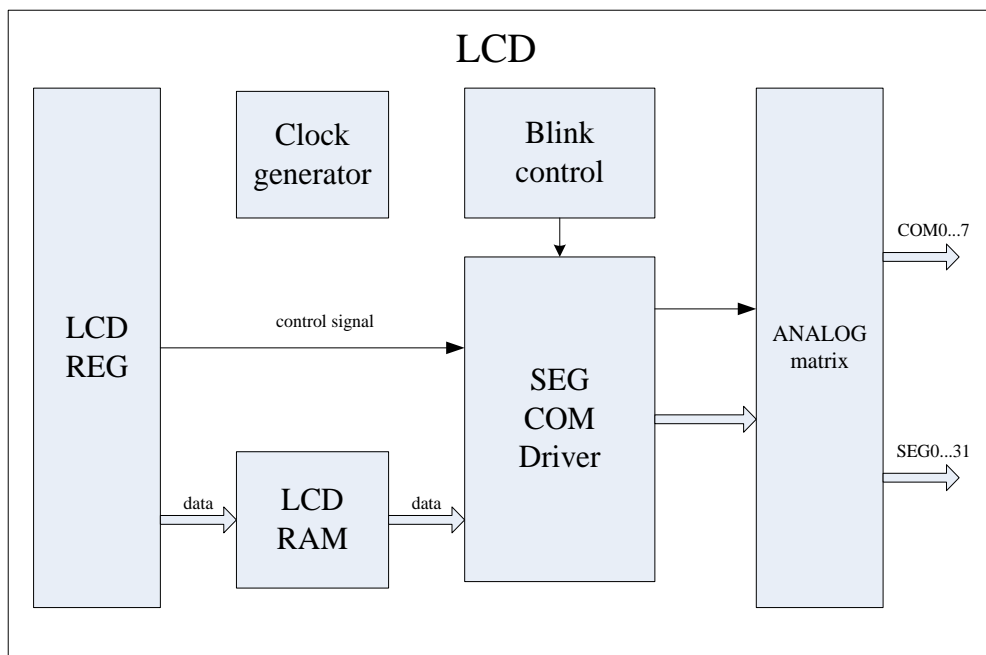
1. IO口分为5V耐受和非5V耐受, 使用时注意区分IO口耐压情况;
2. 5V耐受的IO口直接5V时, 建议IO口配置为开漏模式, 外部上拉来工作;

- IO口上电复位后，默认模式为浮空输入，电平特性不确定，为了获得较一致的功耗，建议所有IO口配置成模拟输入然后再根据应用需求来修改为相应的模式(芯片内部没有引出的端口也需要配置)；
- 为提高EMC性能，未使用的IO口引脚建议硬件上拉或者是下拉；
- PC13、PC14、PC15这三个IO口的驱动能力偏弱，输出电流能力有限，配置为输出模式时，其工作速度不能超过2MHz；
- 多组中同一标号PIN仅可配置一个IO口为外部中断，例：PA0、PB0、PC0仅支持三个中的其中一个IO口产生外部中断，不支持三个同为外部中断模式。

2.4.2. SLCD 电路

SLCD驱动器通过自动产生SEG和COM交流电压信号来直接驱动LCD显示。该驱动器可以驱动单色液晶显示器(LCD)，这是一种由若干段(像素或完整的符号)构成的，有可见和不可见两种状态的显示屏。SLCD驱动器支持最大32个SEG和8个COM。SLCD控制器框图如下所示：

图 2-19. SLCD 模块框图



SLCD REG 是 SLCD 控制器的寄存器，包括SLCD_CTL、SLCD_CFG、SLCD_STAT、SLCD_STATC和SLCD_DATAx五个寄存器，它们可通过APB总线配置，且可使CPU产生中断。

时钟发生器可以从输入时钟产生SLCD时钟，SLCD时钟可以驱动闪烁控制和SEG/COM驱动器。闪烁控制可以产生闪烁频率和闪烁像素，SEG/COM驱动器可产生SEG和COM信号输送到ANALOG矩阵，且ANALOG矩阵可实现SEG和COM电压。

注意：SLCD的电压源可通过SLCD_CTL寄存器的VSRC位配置为内部电压源或外部电压源。SLCD使用内/外电压源的注意事项如下：

- 当SLCD选择内部电压源时，PD6引脚需要配置为模拟模式，且在与GND之间需外接1uF电容；
- 当SLCD选择外部电压源时，PD6引脚需要配置为模拟模式，并连接外部供电电压源。

2.4.3. ADC 电路

GD32L23x内部集成了一个12位的SAR ADC，它有多达20个通道，可测量16个外部和2个内部信号源，以及1个外部电池电压检测信号源和1个SLCD电压检测信号源。内部信号为温度传感器通道（ADC_CH16）和内部参考电压输入通道（ADC_CH17），外部信号为外部监测电池 V_{BAT} 供电引脚输入通道（ADC_CH18）以及监测 V_{SLCD} 电压的内部输入通道（ADC_CH19）。

温度传感器体现的是温度的变化，并不适合测量绝对温度。如果需要测量精确的温度，必须使用一个外置的温度传感器。内部参考电压 V_{REFINT} 提供了一个稳定的电压输出（1.2V）给到ADC。提供外部检测 V_{BAT} 引脚电池电压功能，其转换的值为 $V_{BAT}/3$ 。监测 V_{SLCD} 电压的输入通道转换值是 $V_{SLCD}/3$ 。

GD32L233系列产品仅支持单端输入模式，GD32L235系列产品支持单端输入模式和差分输入模式。对于GD32L235系列产品，在ADC禁能（ $ADCON = 0$ ）的情况下，可以通过配置ADC_DIFCTL寄存器中的DIFCTL[14:0]位域来配置ADC通道为单端输入模式或差分输入模式。单端输入模式下，通道n要转换的模拟电压是外部电压 V_{Inn} （正输入）和 V_{REFN} （负输入）之间的差。差分输入模式下，通道n要转换的模拟电压是外部电压 V_{Inn} （正输入）和 $V_{IN(n+1)}$ （负输入）之间的差。此时，通道（n+1）不能用于单端模式和差分模式，且不能配置转换功能。通道15、16、17、18和19被强制为单端配置（相应的DIFCTL[n]位始终为零），因为它们已连接到内部通道。当通道n用于差分输入模式时，两个通道的输入电压应为差分信号（共模电压为 $V_{REFP}/2$ ），电压输入范围仍为（ $V_{REFN} \sim V_{REFP}$ ）。

如果在使用过程中，ADC采集外部输入电压，若采样数据波动较大，可能是由于电源波动引起的干扰，可通过采样内部 V_{REFINT} 进行校准，反推外部采样电压。

设计ADC电路时，建议在ADC输入管脚处放置个小电容，建议放置一个500pF的小电容即可。

图 2-20. ADC 单端输入模式采集电路设计

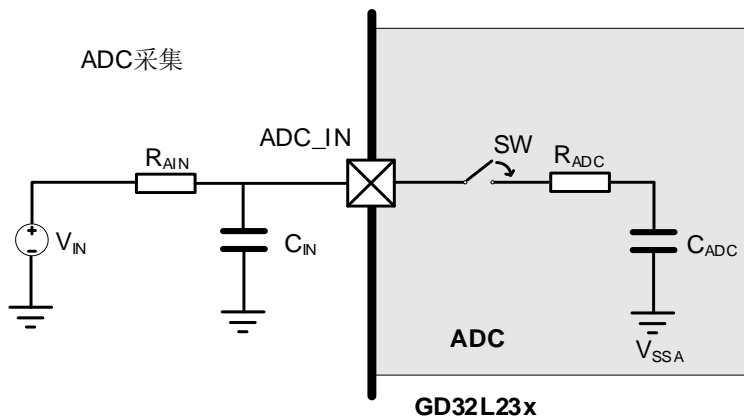
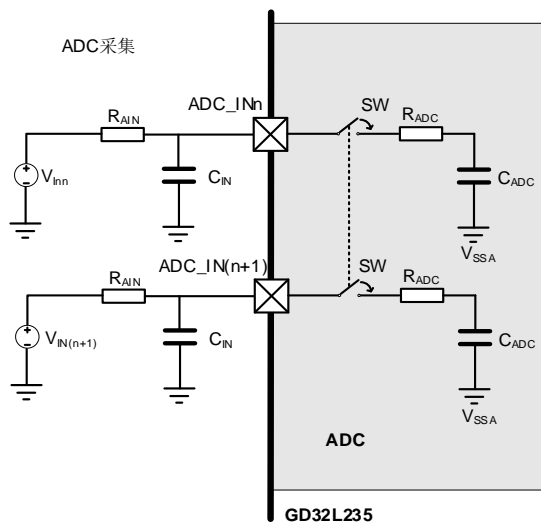


图 2-21. ADC 差分端输入模式采集电路设计



$f_{ADC} = 16\text{MHz}$ 时，输入阻抗和采样周期关系如下，为了获得较好的转换结果，使用过程中，建议尽量降低 f_{ADC} 的频率，采样周期尽量选较大的值，外部电路设计时也尽量减小输入阻抗，必要时采用运放跟随来降低输入阻抗。

 表 2-4. GD32L233 系列 $f_{ADC}=16\text{MHz}$ 采样周期与外部输入阻抗关系

T_s (cycles)	t_s (us)	$R_{AIN\ max}$ (k Ω)
2.5	0.16	4.8
7.5	0.47	15.6
13.5	0.85	28.4
28.5	1.79	60.6
41.5	2.60	88.5
55.5	3.47	118.6
71.5	4.47	153.0
239.5	14.97	513.6

 表 2-5. GD32L235 系列 $f_{ADC}=16\text{MHz}$ 采样周期与外部输入阻抗关系

Resolution	Sampling cycles @16MHz	$R_{AIN\ max}$ (k Ω)	
		$V_{DDA} < 2.4\text{V}$	$V_{DDA} \geq 2.4\text{V}$
12 bits	2.5	N/A	1.0
	7.5	0.6	5.2
	13.5	5.7	10.3
	28.5	18.4	23.0
	41.5	29.4	34.0
	55.5	41.3	45.9
	71.5	54.8	59.4
	239.5	197.2	201.8
10 bits	2.5	N/A	1.3
	7.5	1.7	6.3
	13.5	7.6	12.2

Resolution	Sampling cycles @16MHz	RAIN max (kΩ)	
		V _{DDA} < 2.4V	V _{DDA} ≥ 2.4V
	28.5	22.4	27.0
	41.5	35.3	39.9
	55.5	49.1	53.7
	71.5	64.9	69.5
	239.5	231.0	235.6
8 bits	2.5	N/A	1.8
	7.5	3.9	7.7
	13.5	11.6	14.9
	28.5	31.0	32.7
	41.5	47.7	48.1
	55.5	65.7	64.7
	71.5	86.4	83.7
	239.5	302.8	283.0
6 bits	2.5	N/A	2.6
	7.5	5.4	10.0
	13.5	14.3	18.9
	28.5	36.5	41.1
	41.5	55.8	60.4
	55.5	76.6	81.2
	71.5	100.3	104.9
	239.5	349.4	354.0

2.4.4. DAC 电路

GD32L23x系列MCU的数字/模拟转换器可以将12位的数字数据转换为外部引脚上的电压输出。数据可以采用8位或12位模式，左对齐或右对齐模式。当使能了外部触发，DMA可被用于更新输入端数字数据。在输出电压时，可以利用使能DAC输出缓冲区来获得更高的驱动能力。

表2-6. DAC相关引脚描述

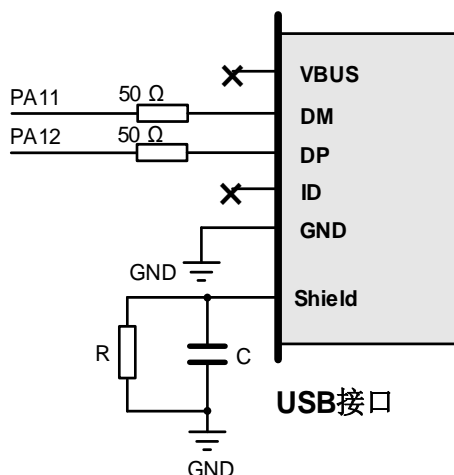
名称	描述	信号类型
V _{DDA}	模拟电源	输入，模拟电源
V _{SSA}	模拟电源地	输入，模拟电源地
V _{REFP}	DAC 正参考电压	输入，模拟正参考电压
DAC_OUTx	DAC 模拟输出	模拟输出信号

在使能DAC模块前，GPIO口（PA4对应DAC_OUT）应配置为模拟模式。

2.4.5. USB 电路

GD32L23x只能设计为USB device。推荐的USB-Device参考电路如下图所示。为了提升USB的ESD性能，USB外壳建议设计阻容放电隔离电路。

图 2-22. 推荐 USB-Device 参考电路

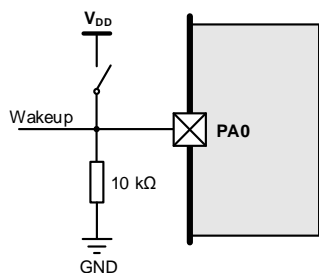


推荐：R = 1MΩ，C = 4700pF。

2.4.6. Standby 模式唤醒电路

功耗设计是 GD32L23x 系列产品比较注重的问题之一。对于 GD32L233xx，电源管理单元提供了十种省电模式，包括运行模式，运行模式 1，运行模式 2，睡眠模式，睡眠模式 1，睡眠模式 2，深度睡眠模式，深度睡眠模式 1，深度睡眠模式 2 和待机模式。对于 GD32L235xx，电源管理单元提供了六种省电模式，包括运行模式，睡眠模式，深度睡眠模式，深度睡眠模式 1，深度睡眠模式 2 和待机模式。其中功耗最低的是 Standby 待机模式，此低功耗模式需要的唤醒时间也是最长的。从 Standby 模式唤醒可通过 WKUP 引脚上升沿唤醒，此时无需配置对应 GPIO，仅需配置 PMU_CS 寄存器里的 WUPENx 位即可。对应 WKUP 唤醒引脚参考电路设计如下：

图 2-23. 推荐 Standby 外部唤醒引脚电路设计



注意：

1. 该模式在电路设计时需要注意，WKUP 引脚至 V_{DD} 间如果有串电阻，可能会增加额外的功耗；
2. 如果 WUPEN0 在进入省电模式 (Standby) 之前置 1，WKUP 引脚 0 的上升沿会将系统从省电模式唤醒。由于 WKUP 引脚 0 为高电平有效，WKUP 引脚 0 内部被配置为输入下拉模式。当在输入已经为高的时候置位该控制位，将会触发一个唤醒事件，其他 WKUP 位同理，具体可参考用户手册。

2.5. 下载调试电路

GD32L23x系列内核仅支持SWD调试接口。SWD接口标准为5针接口，其中2根信号接口。

注意：复位后，调试相关端口为输入PU/PD模式，其中：

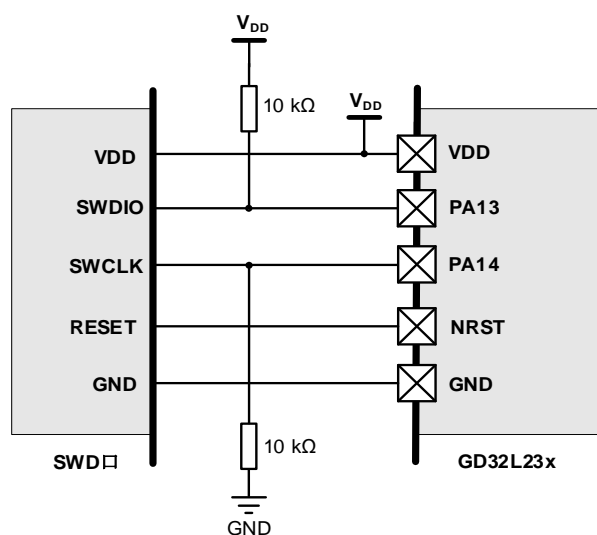
PA13: SWDIO为上拉模式；

PA14: SWCLK为下拉模式；

表 2-7. SWD 下载调试接口分配

备用功能	GPIO 端口
SWDIO	PA13
SWCLK	PA14

图 2-24. 推荐 SWD 接线参考设计

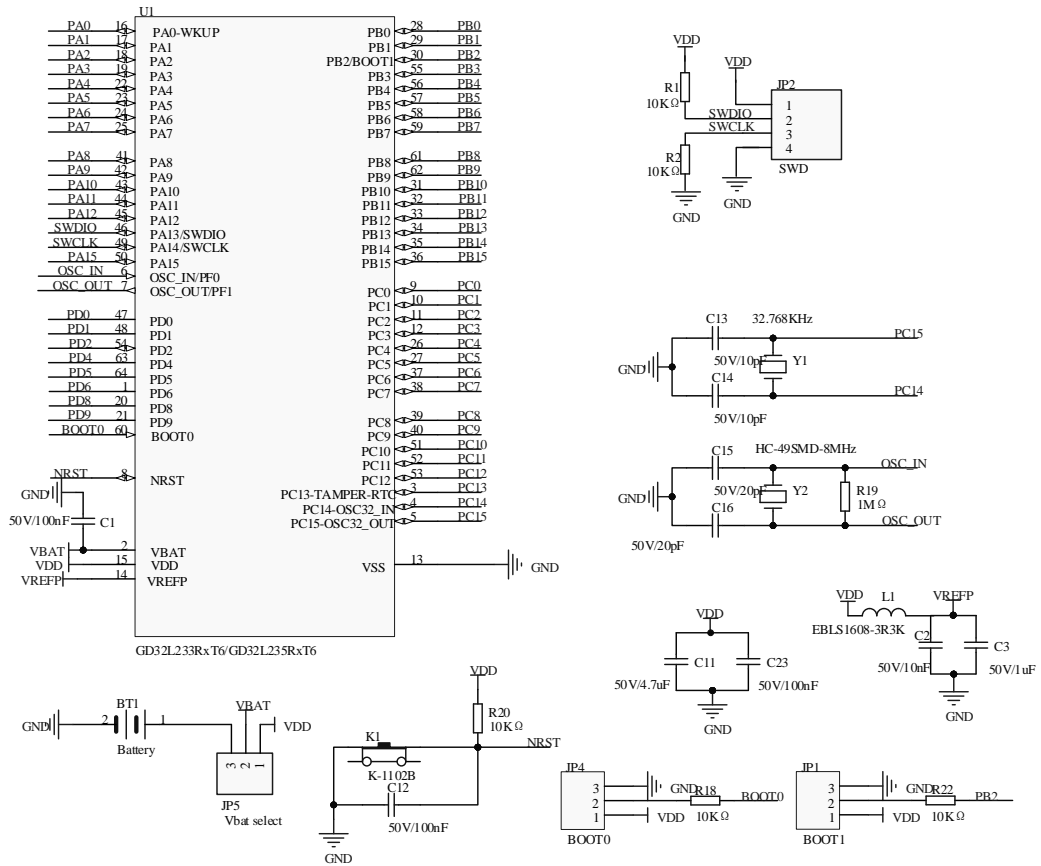


有以下几种方式可以提高SWD下载调试通信的可靠性，增强下载调试的抗干扰能力。

1. 缩短SWD两个信号线长度，最好15cm以内；
2. 将SWD两根线和GND线编个麻花，缠在一起；
3. 在SWD两根信号线对地各并几十pF小电容；
4. SWD两根信号线任意IO串入100Ω~1kΩ电阻。

2.6. 参考原理图设计

图 2-25. GD32L23x 推荐参考原理图设计



3. PCB Layout 设计

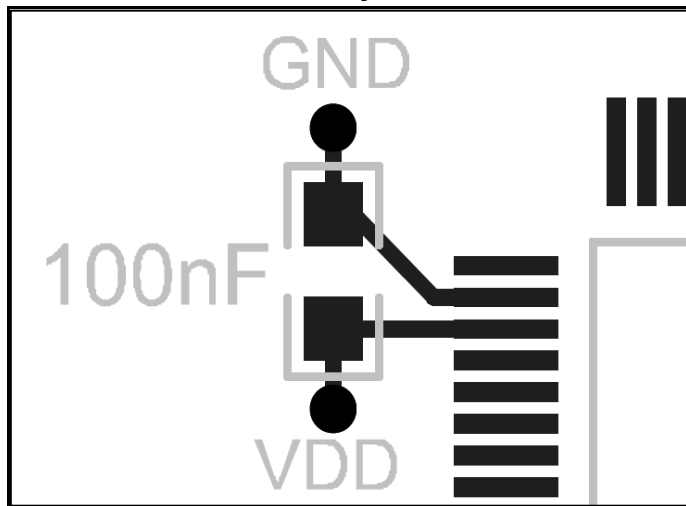
为增强MCU的功能稳定性及EMC性能，不仅需要考虑到配套外围元器件性能，在PCB Layout上也至关重要。另外，在条件允许的情况下，尽量选用有独立GND层和独立电源层的PCB设计方案，这样可以提供更好的EMC性能。如果条件不允许的情况下，无法提供独立的GND层和电源层，那也需要保证有一个良好的供电和接地设计，如尽量使得MCU下方GND平面的完整性，具有EPAD的封装，PCB Layout建议EPAD接地等。

在有大功率或可产生强干扰的应用下，需要考虑将MCU远离这些强干扰源。

3.1. 电源去耦电容

GD32L23x系列电源有V_{DD}、V_{DDA}、V_{REFP}等供电脚，100nF去耦电容采用陶瓷MLCC即可，且需要保证位置尽可能地靠近电源引脚。电源走线要尽量使得经过电容后再到达MCU电源引脚，建议可通过靠近电容PAD处打Via的形式Layout。

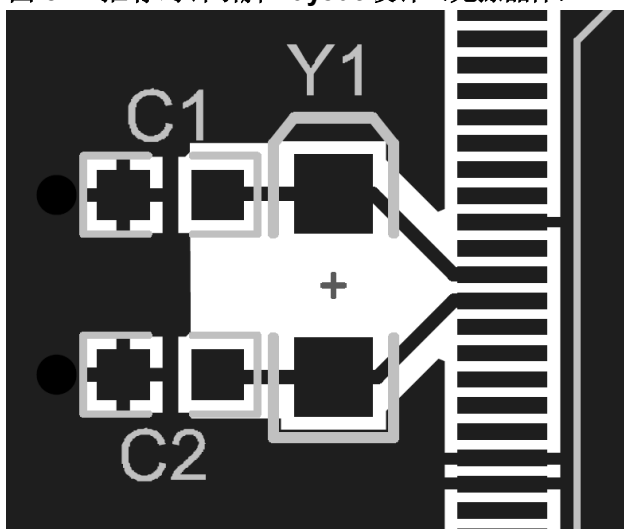
图 3-1. 推荐电源引脚去耦 Layout 设计



3.2. 时钟电路

GD32L23x系列时钟有HXTAL和LXTAL，要求时钟电路（包括晶体或晶振及电容等）靠近MCU时钟引脚放置，且尽量时钟走线由GND包裹起来。

图 3-2. 推荐时钟引脚 Layout 设计 (无源晶体)



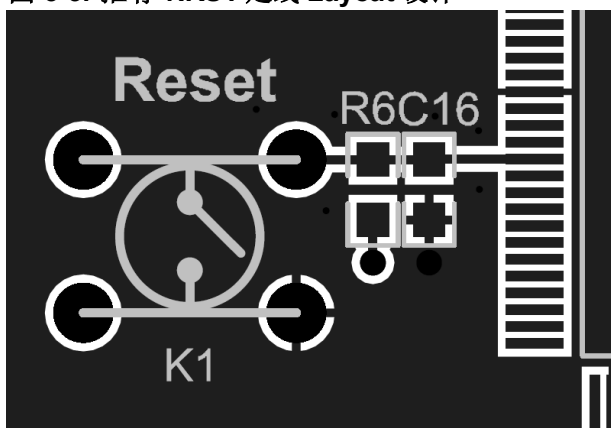
注意：

1. 晶体尽量靠近 MCU 时钟 Pin，匹配电容等尽量靠近晶体；
2. 整个电路尽量与 MCU 在同层，走线尽量不要穿层；
3. 时钟电路 PCB 区域尽量禁空，不走任何与时钟无关走线；
4. 大功率、强干扰风险器件及高速走线尽量远离时钟晶体电路；
5. 时钟线进行包地处理，以起到屏蔽效果。

3.3. 复位电路

NRST 走线 PCB Layout 参考如下：

图 3-3. 推荐 NRST 走线 Layout 设计



注意：复位电路阻容等尽可能地靠近 MCU NRST 引脚，且 NRST 走线尽量远离强干扰风险器件及高速走线等，条件允许的话，最好将 NRST 走线做包地处理，以起到更好的屏蔽效果。

3.4. USB 电路

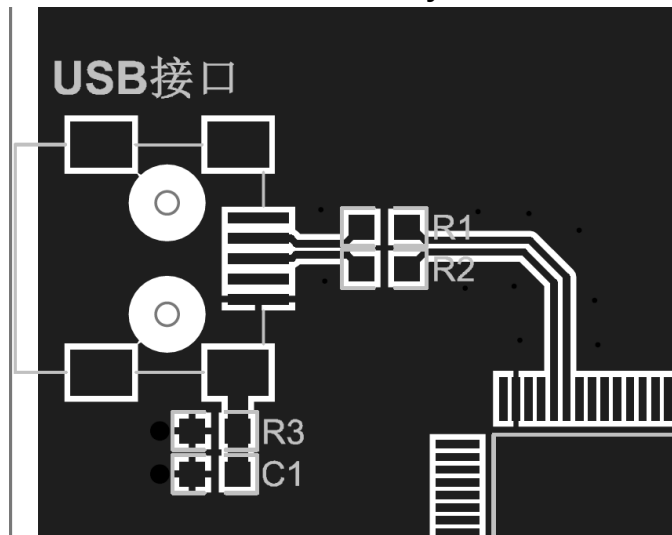
USB 模块有 DM、DP 两根差分信号线，建议 PCB 走线要求做特性阻抗 90ohm，差分走线严格按

照等长等距规则来走，且尽量使走线最短，如果两条差分线不等长，可在终端用蛇形线补偿短线。

由于阻抗匹配考虑，串联匹配电阻建议 50Ω 左右即可。

DM、DP差分走线参考如下：

图 3-4. 推荐 DM、DP 差分走线 Layout 设计



推荐： $R1 = R2 = 50\Omega$ ， $R3 = 1M\Omega$ ， $C = 4700pF$ 。

注意：

1. 布局时摆放合理，以缩短差分走线距离；
2. 优先绘制差分线，一对差分线上尽量不要超过两对过孔，且需要对称放置；
3. 对称平行走线，保证两根线紧密耦合，避免 90° 、弧形或 45° 走线方式；
4. 差分走线上所接阻容、EMC等器件，或测试点，也要做到对称原则。

4. 封装说明

GD32L233系列共有6种封装形式，分别为LQFP64、QFN64、WLCSP49、LQFP48、LQFP32和QFN32。

GD32L235系列共有7种封装形式，分别为LQFP64、QFN64、LQFP48、QFN48、LQFP32、QFN32和WLCSP25。

表 4-1. 封装型号说明

产品型号	封装
GD32L233RxTx	LQFP64(10x10, 0.50pitch)
GD32L233RxO6	QFN64(7x7, 0.35pitch)
GD32L233CCY6	WLCSP49(3x3, 0.40pitch)
GD32L233CxTx	LQFP48(7x7, 0.50pitch)
GD32L233KxT6	LQFP32(7x7, 0.80pitch)
GD32L233KxQ6	QFN32(4x4, 0.40pitch)
GD32L235RxT6	LQFP64(10x10, 0.50pitch)
GD32L235RxO6	QFN64(7x7, 0.35pitch)
GD32L235CxT6	LQFP48(7x7, 0.50pitch)
GD32L235CxO6	QFN48(5x5, 0.35pitch)
GD32L235KxT6	LQFP32(7x7, 0.80pitch)
GD32L235KxQ6/ GD32L235KxQ6P	QFN32(4x4, 0.40pitch)
GD32L235ExY6	WLCSP25(2.092x1.975, 0.35pitch)

(尺寸单位为毫米mm)

5. 版本历史

表 5-1. 版本历史

版本号.	说明	日期
1.0	首次发布	2022 年 08 月 08 日
1.1	更新 2.1.4 章节，提供所有封装供电设计图，说明相关引脚在芯片内部连接情况	2023 年 06 月 21 日
1.2	L233 仅支持 SWD 调试，因此修改 2.6 参考原理图设计	2024 年 01 月 02 日
1.3	1. 更改名称为 GD32L23x 系列硬件开发指南，增加 GD32L235 相关内容； 2. 图 2-3 GD32L233 系列推荐供电设计增加 QFN64、WLCSP49 封装相关内容	2024 年 04 月 10 日

Important Notice

This document is the property of GigaDevice Semiconductor Inc. and its subsidiaries (the "Company"). This document, including any product of the Company described in this document (the "Product"), is owned by the Company under the intellectual property laws and treaties of the People's Republic of China and other jurisdictions worldwide. The Company reserves all rights under such laws and treaties and does not grant any license under its patents, copyrights, trademarks, or other intellectual property rights. The names and brands of third party referred thereto (if any) are the property of their respective owner and referred to for identification purposes only.

The Company makes no warranty of any kind, express or implied, with regard to this document or any Product, including, but not limited to, the implied warranties of merchantability and fitness for a particular purpose. The Company does not assume any liability arising out of the application or use of any Product described in this document. Any information provided in this document is provided only for reference purposes. It is the responsibility of the user of this document to properly design, program, and test the functionality and safety of any application made of this information and any resulting product. Except for customized products which has been expressly identified in the applicable agreement, the Products are designed, developed, and/or manufactured for ordinary business, industrial, personal, and/or household applications only. The Products are not designed, intended, or authorized for use as components in systems designed or intended for the operation of weapons, weapons systems, nuclear installations, atomic energy control instruments, combustion control instruments, airplane or spaceship instruments, transportation instruments, traffic signal instruments, life-support devices or systems, other medical devices or systems (including resuscitation equipment and surgical implants), pollution control or hazardous substances management, or other uses where the failure of the device or Product could cause personal injury, death, property or environmental damage ("Unintended Uses"). Customers shall take any and all actions to ensure using and selling the Products in accordance with the applicable laws and regulations. The Company is not liable, in whole or in part, and customers shall and hereby do release the Company as well as its suppliers and/or distributors from any claim, damage, or other liability arising from or related to all Unintended Uses of the Products. Customers shall indemnify and hold the Company as well as its suppliers and/or distributors harmless from and against all claims, costs, damages, and other liabilities, including claims for personal injury or death, arising from or related to any Unintended Uses of the Products.

Information in this document is provided solely in connection with the Products. The Company reserves the right to make changes, corrections, modifications or improvements to this document and Products and services described herein at any time, without notice.