

GigaDevice Semiconductor Inc.

GD32E103 和 GD32C103 系列硬件开发指南

应用笔记

AN061

目 录

目 录	2
图索引	3
表索引	4
1. 前言	5
2. 硬件设计	6
2.1. 电源	6
2.1.1. 备份域	6
2.1.2. V _{DD} /V _{DDA} 电源域	7
2.1.3. 供电设计	7
2.1.4. 复位及电源管理	8
2.2. 时钟	11
2.2.1. 外部高速晶体振荡时钟 (HXTAL)	12
2.2.2. 外部低速晶体振荡时钟 (LXTAL)	12
2.2.3. 时钟输出能力 (CKOUT)	13
2.2.4. HXTAL 时钟监视器 (CKM)	14
2.3. 启动配置	14
2.4. 典型外设模块	15
2.4.1. GPIO 电路	15
2.4.2. USART 电路.....	16
2.4.3. ADC 电路	17
2.4.4. DAC 电路	19
2.4.5. USB 电路	19
2.4.6. Standby 模式唤醒电路	20
2.5. 下载调试电路	21
2.6. 参考原理图设计	24
3. PCB Layout 设计	25
3.1. 电源去耦电容	25
3.2. 时钟电路	25
3.3. 复位电路	26
3.4. USB 电路	27
4. 封装说明	28
5. 版本历史	29

图索引

图 2-1. GD32E103/GD32C103 系列电源域概览.....	6
图 2-2. GD32E103/GD32C103 系列推荐供电设计	8
图 2-3. 上电/掉电复位波形图	9
图 2-4. LVD 阈值波形图	9
图 2-5. RCU_RSTSCK 寄存器.....	10
图 2-6. 系统复位电路.....	10
图 2-7. 推荐外部复位电路.....	10
图 2-8. 时钟树.....	11
图 2-9. HXTAL 外部晶体电路	12
图 2-10. HXTAL 外部时钟电路.....	12
图 2-11. LXTAL 外部晶体电路.....	13
图 2-12. LXTAL 外部时钟电路	13
图 2-13. 推荐 BOOT 电路设计.....	15
图 2-14. 标准 IO 的基本结构.....	16
图 2-15. ADC 采集电路设计	18
图 2-16. 推荐 USB-Device 参考电路	19
图 2-17. 推荐 USB-Host 参考电路	20
图 2-18. 推荐 Standby 外部唤醒引脚电路设计.....	20
图 2-19. 推荐 JTAG 接线参考设计	22
图 2-20. 推荐 SWD 接线参考设计	23
图 2-21. GD32E103/GD32C103 推荐参考原理图设计	24
图 3-1. 推荐电源引脚去耦 Layout 设计.....	25
图 3-2. 推荐时钟引脚 Layout 设计（无源晶体）	26
图 3-3. 推荐 NRST 走线 Layout 设计	26
图 3-4. 推荐 USB 差分走线 Layout 设计	27

表索引

表 1-1. 适用产品.....	5
表 2-1. CKOUT0SEL[3:0]控制位.....	14
表 2-2. BOOT 模式.....	15
表 2-3. USART 重要引脚描述.....	17
表 2-4. ADC 内部信号.....	17
表 2-5. ADC 引脚定义.....	17
表 2-6. fADC=42MHz 采样周期与外部输入阻抗关系.....	18
表 2-7. DAC 引脚定义.....	19
表 2-8. JTAG 下载调试接口分配.....	21
表 2-9. SWD 下载调试接口分配.....	22
表 4-1. 封装型号说明.....	28
表 5-1. 版本历史.....	29

1. 前言

本文是专为基于Arm® Cortex®-M4架构的32位通用MCU GD32E103/ GD32C103系列开发者提供的，对GD32E103/GD32C103系列产品硬件开发做了总体介绍，如电源、复位、时钟、启动模式的设置及下载调试等。该应用笔记的目的让开发者快速上手使用GD32E103/GD32C103系列产品，并快速进行产品硬件开发使用，节约研读手册的时间，加快产品开发进度。

本应用笔记总共分为七部分来讲述：

1. 电源，主要介绍GD32E103/GD32C103系列电源管理、供电及复位功能的设计；
2. 时钟，主要介绍GD32E103/GD32C103系列高、低速时钟的功能设计；
3. 启动配置，主要介绍GD32E103/GD32C103系列BOOT配置及设计；
4. 典型外设模块，主要介绍GD32E103/GD32C103系列主要功能模块硬件设计；
5. 下载调试电路，主要介绍GD32E103/GD32C103系列推荐典型下载调试电路；
6. 参考电路及PCB Layout设计，主要介绍GD32E103/GD32C103系列硬件电路设计及PCB Layout设计注意事项；
7. 封装说明，主要介绍GD32E103/GD32C103系列所包含的封装形式及命名。

该文档也满足了基于GD32E103/GD32C103系列产品应用开发中所用到的最小系统硬件资源。该文档也适用于GD32E113/GD32C113系列产品。

表 1-1. 适用产品

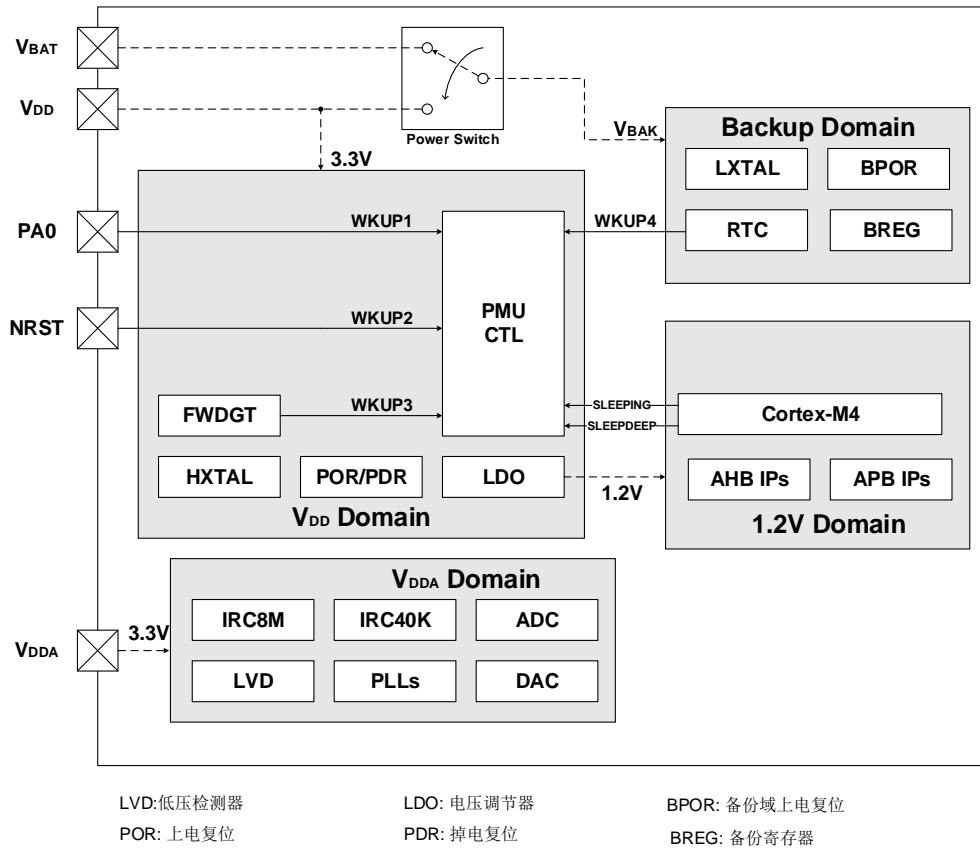
类型	型号
MCU	GD32E103xx 系列
	GD32C103xx 系列

2. 硬件设计

2.1. 电源

GD32E103/GD32C103 系列 V_{DD}/V_{DDA} 工作电压范围为 1.71 V ~ 3.6 V。如下 [图 2-1. GD32E103/GD32C103 系列电源域概览](#) 所示，GD32E103/GD32C103 系列设备有三个电源域，包括 V_{DD}/V_{DDA} 域，1.2 V 域和备份域。 V_{DD}/V_{DDA} 域由电源直接供电，且在 V_{DD}/V_{DDA} 域中嵌入了一个 LDO，用来为 1.2 V 域供电。备份域供电 V_{BAK} 可通过电源切换器 Power Switch 切换由 V_{DD} 或 V_{BAT} 供电，当 V_{DD} 电源关闭时，电源切换器可以将备份域的电源切换到 V_{BAT} 引脚，此时备份域由 V_{BAT} 引脚（电池）供电。

图 2-1. GD32E103/GD32C103 系列电源域概览



2.1.1. 备份域

备份域供电电压范围为 1.71 V ~ 3.6 V。为了确保备份寄存器和 RTC 正常工作， V_{DD} 关闭时， V_{BAT} 管脚可以连接至电池或者是其他备份电源供电，但当 V_{DD} 接入后，即使 V_{BAT} 管脚由外部电池等供电， V_{BAK} 还是由 V_{DD} 供电。

如果外部没有电池供电的应用，建议将 V_{BAT} 引脚通过 100nF 电容对地后接至 V_{DD} 引脚上。

注意： 如果 V_{BAT} 管脚悬空，MCU 上电后 Power Switch 开关会将 V_{BAK} 切到 V_{DD} 上去，直接由内部 V_{DD} 供电给 Backup 域。

2.1.2. V_{DD}/V_{DDA} 电源域

V_{DD}/V_{DDA} 电源域为除了备份域之外的所有区域供电，如果 V_{DDA} 不等于 V_{DD} ，要求两者之间的压差不能超过300mV（芯片内部 V_{DDA} 与 V_{DD} 通过背靠背二极管连接）。为避免噪声， V_{DDA} 可通过外部滤波电路连接至 V_{DD} ，相应的 V_{SSA} 通过特定电路（单点接地，通过0 Ω 电阻或者磁珠等）连接至 V_{SS} 。

为了提高ADC的转换精度，为 V_{DDA} 独立供电可使模拟电路达到更好的特性。在大封装上含有专为ADC独立供电的 V_{REF} 引脚（ $1.8V \leq V_{REF+} \leq V_{DDA}$, $V_{REF-} = V_{SSA}$ ）。

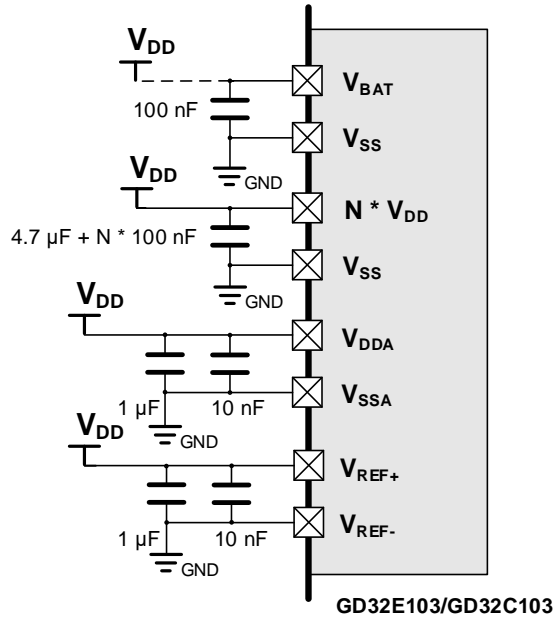
- 100引脚的封装芯片含有 V_{REF+} 和 V_{REF-} ， V_{REF+} 可以使用外部参考电源，也可以直连至 V_{DDA} ， V_{REF-} 必须连接到 V_{SSA} ；
- 64引脚及更小封装芯片无 V_{REF+} 和 V_{REF-} ，其在内部直连至 V_{DDA} 和 V_{SSA} ，所有模拟模块均由 V_{DDA} 供电（包括ADC/DAC）。

2.1.3. 供电设计

系统需要稳定的电源，开发使用的时候有些重要事项需要注意：

- V_{DD} 脚必须外接电容（ $N \times 100nF$ 陶瓷电容+不小于4.7 μF 钽电容，至少一个 V_{DD} 需要接不小于4.7 μF 电容到GND，其他 V_{DD} 引脚接100nF）；
- V_{DDA} 脚必须外接电容（建议10nF+1 μF 陶瓷电容）；
- V_{BAT} 引脚必须连接至外部电池（1.71V ~ 3.6V），如果没有外部电池，建议将 V_{BAT} 引脚通过100nF电容对地后接至 V_{DD} 引脚上；
- V_{REF+} 引脚可以直连至 V_{DDA} ，如果 V_{REF} 上使用单独的外部参考电压（ $1.8V \leq V_{REF+} \leq V_{DDA}$ ， $V_{REF-} = V_{SSA}$ ），必须在 V_{REF+} 引脚上也对地连接10nF+1 μF 陶瓷电容；
- 尽管所有 V_{DD} 在内部相连、所有 V_{SS} 在内部相连，在芯片外部仍须将所有的 V_{DD} 连接到一起、所有 V_{SS} 连接到一起；
- V_{DDA} 为所有的模拟电路部分供电，包括：ADC模块，复位电路，PVD(可编程电压监测器)，PLL，上电复位(POR)和掉电复位(PDR)模块，控制 V_{BAT} 切换的开关等；
- 即使不使用ADC功能，也需要连接 V_{DDA} ；
- 强烈建议 V_{DD} 和 V_{DDA} 使用同一个电源供电；
- V_{DD} 与 V_{DDA} 之间的电压差不能超过300mV， V_{DD} 与 V_{DDA} 应该同时上电或掉电。

图 2-2. GD32E103/GD32C103 系列推荐供电设计



注意:

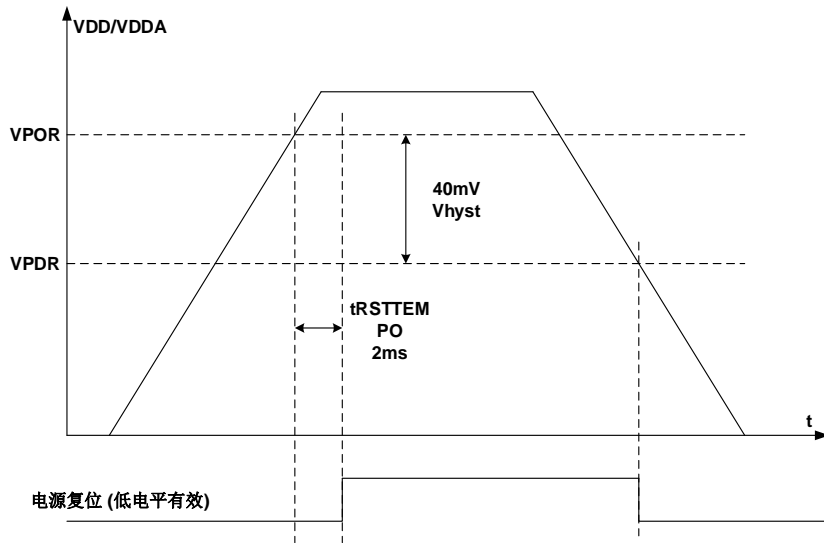
1. 所有去耦电容须靠近芯片对应VDD、VDDA、VREF+、VBAT引脚放置;
2. VBAT可选择直接连接至VDD, 也可以根据实际应用连接至外部电池等。

2.1.4. 复位及电源管理

GD32E103/GD32C103系列复位控制包括三种复位: 电源复位、系统复位和备份域复位。电源复位为冷复位, 电源启动时复位除了备份域的所有系统。电源和系统复位的过程中, NRST会维持一个低电平, 直至复位结束。MCU无法执行起来时, 可以通过示波器监测NRST管脚波形来判断芯片是否有一直发生复位事件。

芯片内部集成POR/PDR(上电/掉电复位)电路, 用于检测VDD/VDDA并在电压低于特定阈值时产生电源复位信号复位除备份域之外的整个芯片。V_{POR}表示上电复位的阈值电压, 典型值约为1.66V, V_{PDR}表示掉电复位的阈值电压, 典型值约为1.62V。迟滞电压V_{hyst}值约为40mV。

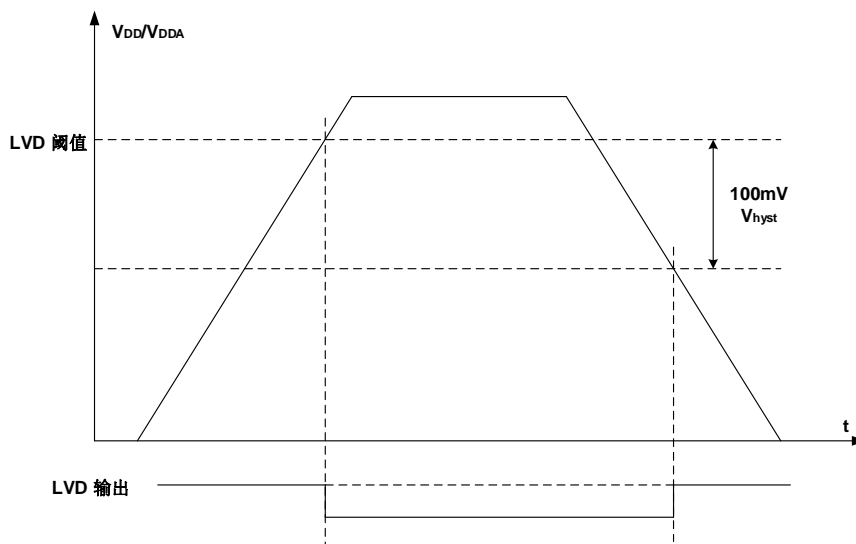
图2-3. 上电/掉电复位波形图



LVD 的功能是检测 V_{DD}/V_{DDA} 供电电压是否低于低电压检测阈值 ($2.1V \sim 3.1V$)，该阈值由电源控制寄存器(PMU_CTL)中的 LVDT[2:0]位进行配置。LVD 通过 LVDEN 置位使能，位于电源状态寄存器(PMU_CS)中的 LVDF 位表示低电压事件是否出现，该事件连接至 EXTI 的第 16 线，用户可以通过配置 EXTI 的第 16 线产生相应的中断。(LVD 中断信号依赖于 EXTI 第 16 线的上升或下降沿配置)。迟滞电压 V_{hyst} 值为 $100mV$ 。

LVD 应用场合：当 MCU 电源受到外部干扰时，如发生电压跌落，我们可通过 LVD 设置低电压检测阈值（该阈值大于 PDR 值），一旦跌落到该阈值，LVD 中断被打开，可在中断函数里设置软复位等操作，避免 MCU 发生其他异常。

图2-4. LVD阈值波形图



另外，MCU复位源可以通过查询寄存器RCU_RSTSCK (0x40021024)来判断，该寄存器只有上电复位才能清除标志位，所以在使用过程中，获取到复位源后，可通过RSTFC控制位清除复位标志，那样发生看门狗复位或其他复位事件时，才能较准确在RCU_RSTSCK寄存器中体现出来：

图 2-5. RCU_RSTSCK 寄存器

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LP	WWDGT	FWDGT	SW	POR	EP	保留	RSTFC	保留							
RSTF	RSTF	RSTF	RSTF	RSTF	RSTF										
r	r	r	r	r	r		rw								
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留													IRC40K	IRC40KE	
													STB	N	
													r	rw	

MCU内部集成有上电/掉电复位电路，在设计外部复位电路时，NRST管脚必须要放置一个电容（典型值100nF），确保NRST管脚上电能产生一个至少20us的低脉冲延时，完成有效上电复位过程。

图2-6. 系统复位电路

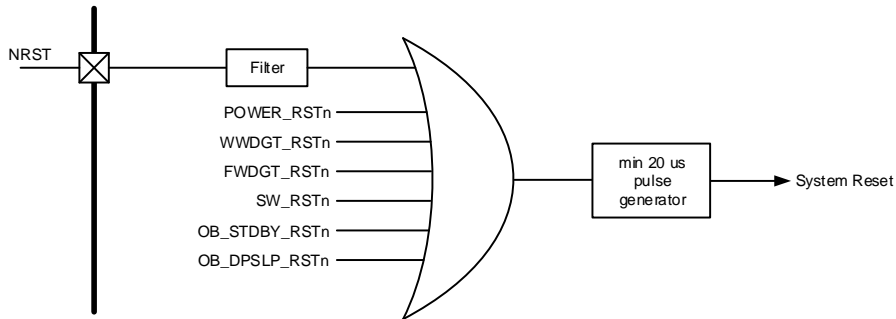
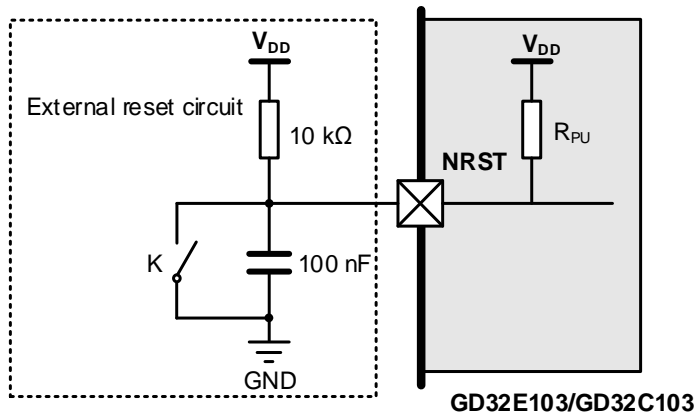


图 2-7. 推荐外部复位电路



注意：

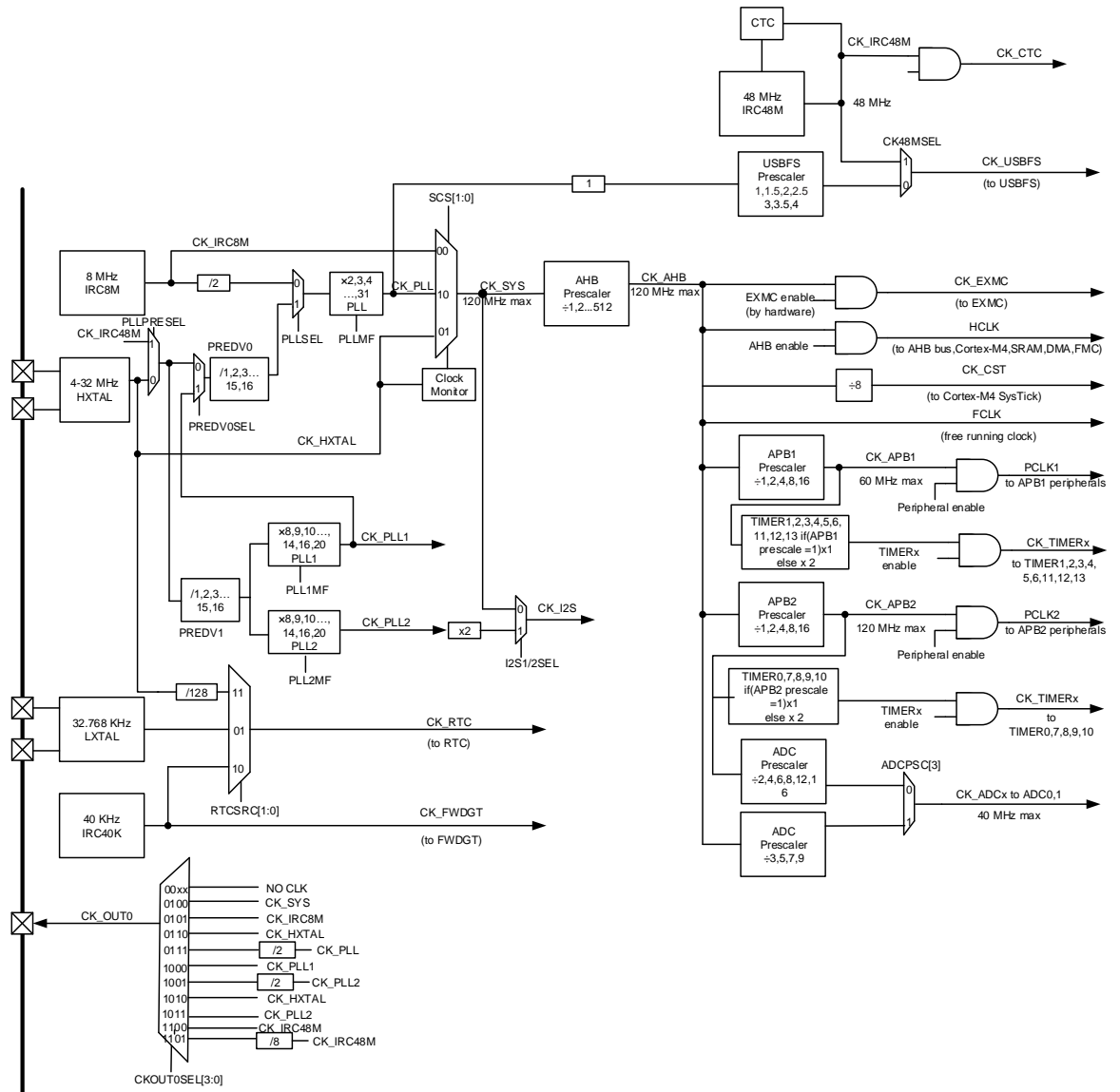
1. 上拉电阻建议10kΩ即可，以使得电压干扰不会导致芯片工作异常；
2. 若考虑静电等影响，可在NRST管脚处放置ESD保护二极管；
3. 尽管MCU内部有硬件POR电路，仍推荐外部加NRST复位阻容电路；
4. 如果MCU启动异常（由于电压波动等），可适当增加NRST对地电容值，拉长MCU复位完成时间，避开上电异常时序区。

2.2. 时钟

GD32E103/GD32C103系列内部有完备的时钟系统，可以根据不同的应用场合，选择合适的时钟源，时钟主要特征：

- 4-32MHz外部高速晶体振荡器（HXTAL）
- 8MHz内部高速RC振荡器（IRC8M）
- 48MHz内部高速RC振荡器
- 32.768KHz外部低速晶体振荡器（LXTAL）
- 40kHz内部低速RC振荡器（IRC40K）
- PLL时钟源可选HXTAL或IRC8M或IRC48M
- HXTAL时钟监视器

图 2-8. 时钟树



2.2.1. 外部高速晶体振荡时钟（HXTAL）

4-32MHz外部高速晶体振荡器（无源晶体）可为系统提供精准的主时钟。该特定频率的晶体必须靠近HXTAL引脚放置，和晶体连接的外部电阻和匹配电容必须根据所选择的振荡器参数来调整。HXTAL还可以使用旁路输入的模式来输入时钟源（1-50MHz有源晶振等）。旁路输入时，信号接至OSC_IN，OSC_OUT保持悬空状态，软件上需要打开HXTAL的Bypass功能（使能RCU_CTL里的HXTALBPS位）。

图 2-9. HXTAL 外部晶体电路

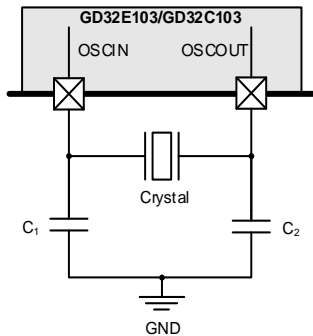
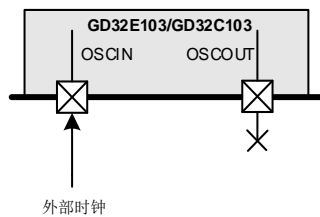


图 2-10. HXTAL 外部时钟电路



注意：

1. 使用旁路输入时，信号从OSC_IN输入，OSC_OUT保持悬空状态；
2. 关于外部匹配电容大小可参考公式： $C1 = C2 = 2 * (CLOAD - CS)$ ，其中CS为PCB和MCU引脚的杂散电容，典型值为10pF。推荐选用外部高速晶体时，尽量选择晶体负载电容在20pF左右的，这样外部所接匹配电容C1和C2电容值为20pF即可，且PCB Layout时尽可能近地靠近晶振引脚；
3. Cs为PCB板走线及IC pin上的寄生电容，当晶体离MCU越近，Cs越小，反之越大。所以，在实际应用中，当晶体离MCU较远导致晶体工作异常时，可适当减小外部匹配电容；
4. 使用外部高速晶体时，建议在晶体两端并联1MΩ电阻，以使得晶体更容易起振；
5. 精度：外部有源晶振 > 外部无源晶体 > 内部IRC8M；
6. 正常使用有源晶振，会打开Bypass，此时要求高电平不低于0.7V_{DD}，低电平不大于0.3V_{DD}，如不打开Bypass，对有源晶振的振幅幅值要求会大大降低。

2.2.2. 外部低速晶体振荡时钟（LXTAL）

LXTAL是一个频率为32.768kHz的外部低速晶体或陶瓷谐振器。它为实时时钟电路提供一个低

功耗且高精度的时钟源。LXTAL振荡器可以通过设置备份域控制寄存器(RCU_BDCTL)中的LXTALEN位被启动和关闭。备份域控制寄存器RCU_BDCTL中的LXTALSTB位用来指示LXTAL时钟是否稳定。如果中断寄存器RCU_INT中的相应中断使能位LXTALSTBIE被置‘1’，在LXTAL稳定以后，将产生一个中断。

将备份域控制寄存器RCU_BDCTL的LXTALBPS和LXTALEN位置‘1’可以选择外部时钟旁路模式。CK_LXTAL与连到OSC32IN脚上外部时钟信号一致。

图 2-11. LXTAL 外部晶体电路

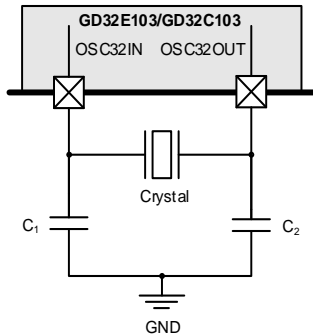
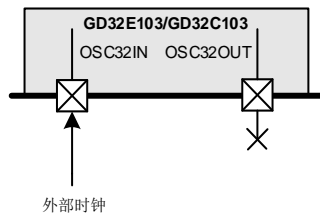


图 2-12. LXTAL 外部时钟电路



注意:

1. 使用旁路输入时，信号从OSC32_IN输入，OSC32_OUT保持悬空状态；
2. 关于外部匹配电容大小可参考公式： $C_1 = C_2 = 2 * (C_{LOAD} - C_S)$ ，其中 C_S 为PCB和MCU引脚的杂散电容，经验值在2pF-7pF之间，建议以5pF为参考值计算。推荐选用外部晶体时，尽量选择晶体负载电容在10pF左右的，这样外部所接匹配电容 C_1 和 C_2 电容值为10pF即可，且PCB Layout时尽可能近地靠近晶振引脚；
3. 当RTC选择IRC40K作为时钟源，并且使用 V_{BAT} 外部独立供电时，如果此时MCU掉电，RTC会停止计数，重新上电后，RTC会接着之前的计数值继续累加计时。若应用需要使用 V_{BAT} 给RTC供电时，RTC仍能正常计时，RTC须选择LXTAL作为时钟源。

2.2.3. 时钟输出能力（CKOUT）

GD32E103/GD32C103系列MCU，可以通过配置时钟寄存器RCU_CFG0的CKOUT0SEL[3:0]位选择不同的时钟信号输出，相应的GPIO引脚PA8需要配置为复用功能来输出被选择的信号。

表 2-1. CKOUT0SEL[3:0]控制位

CKOUT0SEL[3:0]	时钟源
00xx	无时钟输出
0100	CK_SYS
0101	CK_IRC8M
0110	CK_HXTAL
0111	CK_PLL/2
1000	CK_PLL1
1001	CK_PLL2/2
1010	CK_HXTAL
1011	CK_PLL2

2.2.4. HXTAL 时钟监视器 (CKM)

设置控制寄存器RCU_CTL中的HXTAL时钟监视使能位CKMEN，HXTAL可以使能时钟监视功能。该功能必须在HXTAL启动延迟完毕后使能，在HXTAL停止后禁止。一旦监测到HXTAL故障，HXTAL将自动被禁止，中断寄存器RCU_INT中的HXTAL时钟阻塞中断标志位CKMIF将被置‘1’，产生HXTAL故障事件。这个故障引发的中断和Cortex-M4的不可屏蔽中断NMI相连。如果HXTAL被选作系统，PLL或是RTC的时钟源，HXTAL故障将促使选择IRC8M为系统时钟源，PLL将被自动禁止，RTC的时钟源需要重新配置。

注意：如果HXTAL被选作系统时钟、PLL或RTC时钟源，HXTAL故障将促使选择IRC8M为系统时钟源，PLL将被自动禁止，RTC的时钟源需要重新配置。

2.3. 启动配置

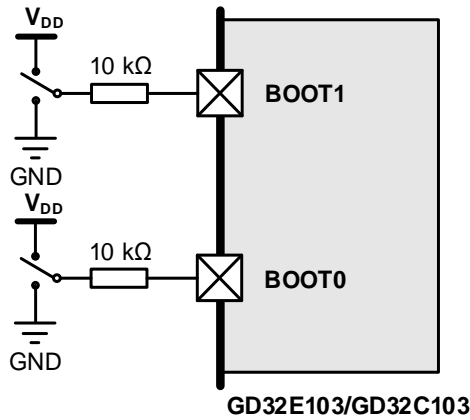
GD32E103/GD32C103系列提供三种启动方式，可以通过BOOT0和BOOT1来进行相关的配置。用户可以配置BOOT0和BOOT1，进行上电复位或系统复位，从而确定启动选项。电路设计时，运行用户程序，BOOT0不能悬空，建议通过一个10kΩ电阻到GND；运行System Memory进行程序更新，需要将BOOT0接高，BOOT1接低，更新完成后，再将BOOT0接低上电才能运行用户程序；SRAM执行程序多用于调试状态下。

嵌入式的Bootloader存放在系统存储空间，用于对FLASH存储器进行重新编程。在GD32E103/GD32C103设备中，Bootloader可以通过USART0 (PA9 and PA10)和外界交互。

表 2-2. BOOT 模式

BOOT 模式	BOOT1	BOOT0
Main Flash Memory	X	0
System Memory	0	1
On Chip SRAM	1	1

图 2-13. 推荐 BOOT 电路设计



注意:

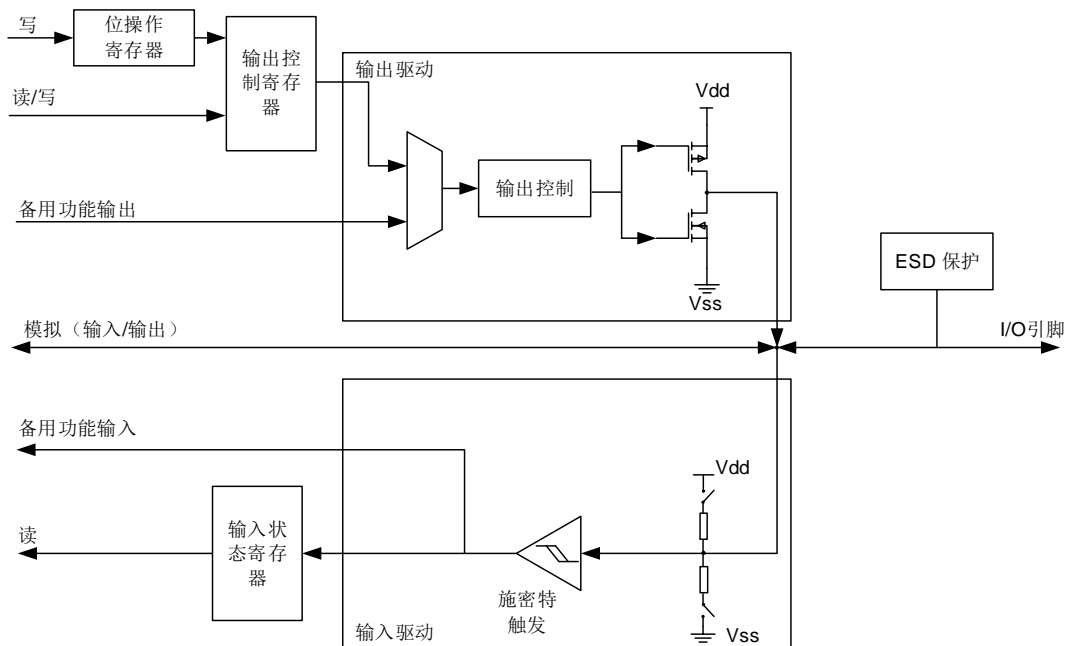
1. MCU运行后，如果改变BOOT状态，须系统复位后才可生效；
2. 一旦BOOT1引脚状态被采样到，他们可以被释放用于其他用途。

2.4. 典型外设模块

2.4.1. GPIO 电路

GPIO接口包括5组通用输入/输出端口，每组端口提供最多16个通用输入/输出引脚，分别为PA0 ~ PA15, PB0 ~ PB15, PC0 ~ PC15, PD0 ~ PD15和PE0 ~ PE15，每个引脚都可以通过寄存器独立配置，GPIO口的基本结构详见下图：

图 2-14. 标准 IO 的基本结构

**注意：**

1. IO口分为5V耐受和非5V耐受，使用时注意区分IO口耐压情况，详见Datasheet；
2. 5V耐受的IO口直接5V时，建议IO口配置为开漏模式，外部上拉来工作；
3. IO口上电复位后，默认模式为浮空输入，电平特性不确定，为了获得较一致的功耗，建议所有IO口配置成模拟输入然后再根据应用需求来修改为相应的模式（芯片内部没有引出的端口也需要配置）；
4. 为提高EMC性能，未使用的IO口引脚建议硬件上拉或者是下拉；
5. PC13、PC14、PC15这三个IO口的驱动能力偏弱，输出电流能力有限（3mA左右），配置为输出模式时，其工作速度不能超过2MHz（最大负载为30pF）；
6. 多组中同一标号PIN仅可配置一个IO口为外部中断，例：PA0、PB0、PC0仅支持三个中的其中一个IO口产生外部中断，不支持三个同为外部中断模式；
7. IO 推动LED 时，建议尽量考虑使用灌电流的方式。

2.4.2. USART 电路

通用同步异步收发器(USART)提供了一个灵活方便的串行数据交换接口，数据帧可以通过全双工或半双工，同步或异步的方式进行传输。USART提供了可编程的波特率发生器，能对系统时钟进行分频产生USART发送和接收所需的特定频率。

USART不仅支持标准的异步收发模式，还实现了一些其他类型的串行数据交换模式，如红外编码规范，SIR，智能卡协议，LIN，以及同步单双工模式。它还支持多处理器通信和Modem流控操作(CTS/RTS)。数据帧支持从LSB或者MSB开始传输。数据位的极性和TX/RX引脚都可以灵活配置。

USART支持DMA功能，以实现高速率的数据通信，除了UART4。

表 2-3. USART 重要引脚描述

引脚	类型	描述
RX	输入	接收数据
TX	输出 I/O (单线模式/智能卡模式)	发送数据。当 USART 使能后, 若无数据发送, 默认为高电平
CK	输出	用于同步通信的串行时钟信号
nCTS	输入	硬件流控模式发送使能信号
nRTS	输出	硬件流控模式发送请求信号

2.4.3. ADC 电路

GD32E103/GD32C103内部集成了一个12位的SAR ADC, 它有多达18个通道, 可测量16个外部和2个内部信号源。内部信号为温度传感器通道 (ADC0_CH16), 内部参考电压输入通道 (ADC0_CH17)。温度传感器体现的是温度的变化, 并不适合测量绝对温度。如果需要测量精确的温度, 必须使用一个外置的温度传感器。内部参考电压V_{REFINT}提供了一个稳定的电压输出 (1.2V) 给到ADC, 并内部连接至ADC0_IN17。ADC的供电电压2.4V到3.6V, 一般供电电压为3.3V。ADC的输入范围: $V_{REF-} \leq V_{IN} \leq V_{REF+}$ 。

表 2-4. ADC 内部信号

内部信号名称	信号类型	说明
V _{SENSE}	输入	内部温度传感器电压输出
V _{REFINT}	输入	内部参考电压输出

表 2-5. ADC 引脚定义

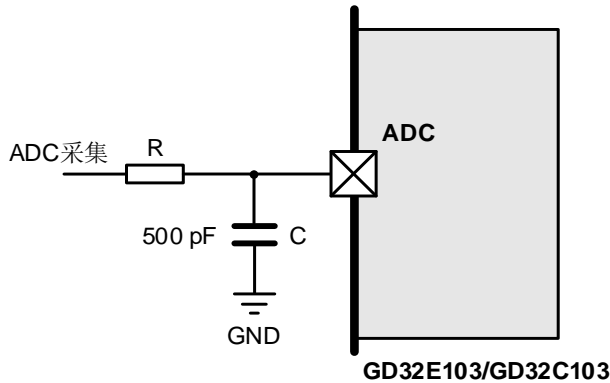
名称	信号类型	注释
V _{DDA}	输入, 模拟供电电源	模拟电源输入等于V _{DD} , $2.4V \leq V_{DDA} \leq 3.6V$
V _{SSA}	输入, 模拟电源地	模拟地, 等于V _{SS}
V _{REF+}	输入, 正模拟参考电压	ADC正参考电压, $1.8V \leq V_{REF+} \leq V_{DDA}$
V _{REF-}	输入, 负模拟参考电压	ADC负参考电压, $V_{REF-} = V_{SSA}$
ADCx_IN [15:0]	输入, 模拟信号	多达16路外部通道

注意: V_{DDA}和V_{SSA}必须分别连接到V_{DD}和V_{SS}。

如果在使用过程中, ADC采集外部输入电压, 若采样数据波动较大, 可能是由于电源波动引起的干扰, 可通过采样内部V_{REFINT}进行校准, 反推外部采样电压。

设计ADC电路时, 建议在ADC输入管脚处放置个小电容, 建议放置一个500pF的小电容即可。

图 2-15. ADC 采集电路设计



$f_{ADC} = 42\text{MHz}$ 时，输入阻抗和采样周期关系如下，为了获得较好的转换结果，使用过程中，建议尽量降低 f_{ADC} 的频率，采样周期尽量选较大的值，外部电路设计时也尽量减小输入阻抗，必要时采用运放跟随来降低输入阻抗。

表 2-6. $f_{ADC}=42\text{MHz}$ 采样周期与外部输入阻抗关系

$T_s(\text{cycles})$	$t_s(\mu\text{s})$	$R_{AINmax}(\text{k}\Omega)$
1.5	0.04	0.47
7.5	0.18	3.15
13.5	0.32	5.82
28.5	0.68	12.55
41.5	0.99	18.35
55.5	1.32	24.55
71.5	1.70	NA
239.5	5.70	NA

ADC模块自身的误差积分线性误差(ILE)和微分线性误差(DLE)依赖于ADC模块的设计，校准它们是困难的。进行多次转换再做平均可以减小它们的影响。偏移和增益误差可以简单地使用ADC模块的自校准功能补偿。影响ADC精度的因素如下。

1. 电源噪声，尤其是开关电源(SMPS)的高频噪声线性稳压器具有较好的输出。强烈建议在整流输出端连接滤波电容；
2. 如果使用开关型电源，建议使用一个线性稳压器为模拟部分供电；
3. 建议在电源线和地线之间连接具有良好高频特性的电容，即在靠近电源一端应放置一个 $0.1\mu\text{F}$ 和一个 $1\sim 10\mu\text{F}$ 的电容；
4. 每一对 V_{DD} 和 V_{SS} 管脚都需要使用单独的去耦电容；
5. V_{DDA} 管脚必须连接到2个外部的去耦电容器(10nF 陶瓷电容+ $1\mu\text{F}$ 的钽电容或陶瓷电容)；
6. 对于100脚封装的产品，可以在 V_{REF+} 上连接一个外部的ADC的参考输入电压，从而改善对输入低电压的精度；
7. 增加一个外部滤波器消除高频噪声；
8. 模拟信号线的周围布置地线产生屏蔽，能有效地减小串扰干扰噪声。

2.4.4. DAC 电路

GD32E103/GD32C103的数字/模拟转换器可以将12位的数字数据转换为外部引脚上的电压输出。数据可以采用8位或12位模式，左对齐或右对齐模式。当使能了外部触发，DMA可被用于更新输入端数字数据。在输出电压时，可以利用DAC输出缓冲区来获得更高的驱动能力。两个DAC可以独立或并发工作。

表 2-7. DAC 引脚定义

名称	描述	信号类型
V _{DDA}	模拟电源	输入，模拟电源
V _{SSA}	模拟电源地	输入，模拟电源地
V _{REF+}	DAC 正参考电压， $1.8V \leq V_{REF+} \leq V_{DDA}$	输入，模拟正参考电压
DAC_OUTx	DACx 模拟输出	模拟输出信号

在使能DAC模块前，GPIO口（PA4对应DAC0，PA5对应DAC1）应配置为模拟模式。

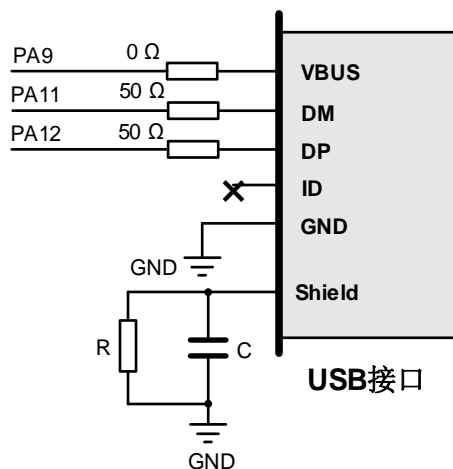
2.4.5. USB 电路

GD32E103/GD32C103系列MCU拥有内嵌的USB接口，其为一个USBFS模块。USB协议要求时钟精度不低于500ppm，内部时钟可能无法达到这样的精度，所以建议使用USB功能时使用外部晶体或有源晶振做为USB模块时钟源。

GD32E103/GD32C103系列USB既可设计为USB device，又可设计为USB host。设计为Device时，如果PA9接至VBUS上，DP线不用外接1.5K上拉电阻；如果PA9不接至VBUS上，若已配置USBFS_GCCFG寄存器中VBUSIG控制位，那么USB_DP数据线可不外接1.5K上拉电阻，若不配置该寄存器，那么USB_DP数据线需要外接1.5K上拉电阻。

在设计电路时，为了提升USB的ESD性能，USB外壳建议设计阻容放电隔离电路。

图 2-16. 推荐 USB-Device 参考电路

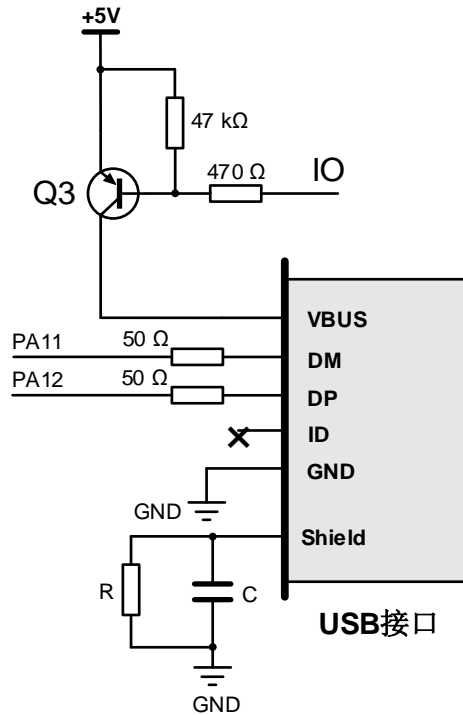


推荐：R = 1MΩ，C = 4700pF。

注意：通过配置USBFS_GCCFG寄存器中VBUSIG控制位，VBUS可不接PA9，PA9可释放做

为其他功能使用，如果VBUSIG控制位未配置，PA9需连接外部VBUS。

图 2-17. 推荐 USB-Host 参考电路

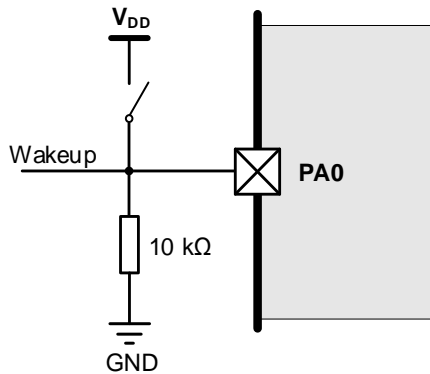


推荐：R = 1MΩ，C = 4700pF。

2.4.6. Standby 模式唤醒电路

GD32E103/GD32C103系列支持三种低功耗模式，分别为睡眠模式，深度睡眠模式和待机模式，其中功耗最低的是Standby待机模式，此低功耗模式需要的唤醒时间也是最长的。WKUP唤醒引脚参考电路设计如下：

图 2-18. 推荐 Standby 外部唤醒引脚电路设计



注意：该模式在电路设计时需要注意，PA0至V_{DD}间如果有串电阻，可能会增加额外的功耗。

2.5. 下载调试电路

GD32E103/GD32C103系列内核支持JTAG调试接口与SWD调试接口。JTAG接口标准为20针接口，其中5根信号接口，SWD接口标准为5针接口，其中2根信号接口。

注意：复位后，调试相关端口为输入PU/PD模式，其中：

PA15: JTDI为上拉模式；

PA14: JTCK / SWCLK为下拉模式；

PA13: JTMS / SWDIO为上拉模式；

PB4: NJTRST为上拉模式；

PB3: JTDO为浮空模式。

表 2-8. JTAG 下载调试接口分配

备用功能	GPIO 端口
JTMS	PA13
JTCK	PA14
JTDI	PA15
JTDO	PB3
NJTRST	PB4

图 2-19. 推荐 JTAG 接线参考设计

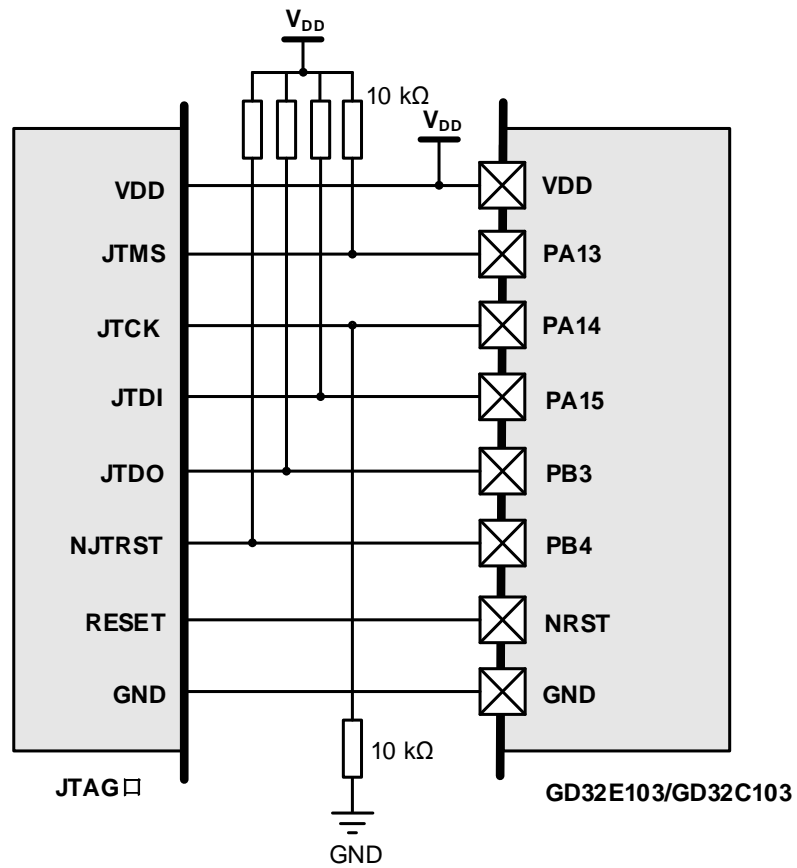
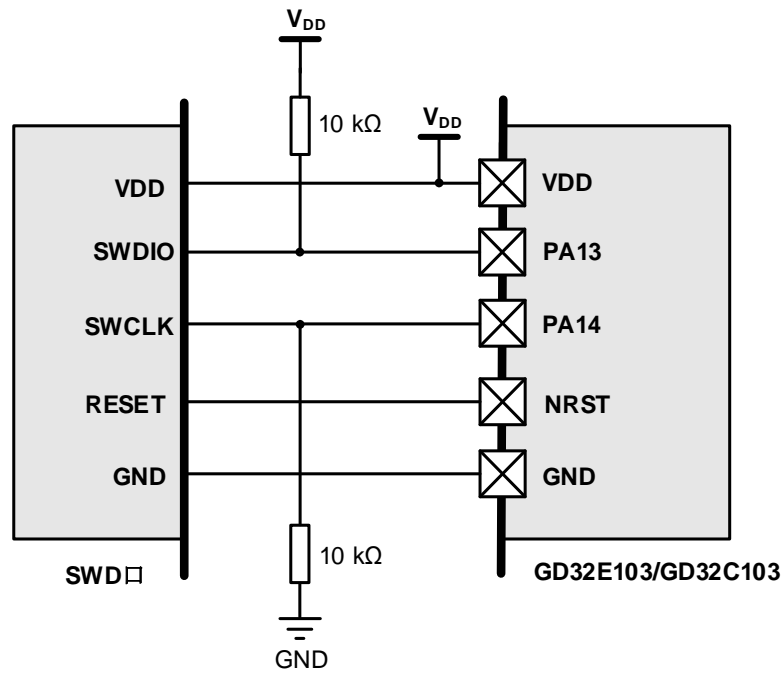


表 2-9. SWD 下载调试接口分配

备用功能	GPIO 端口
SWDIO	PA13
SWCLK	PA14

图 2-20. 推荐 SWD 接线参考设计

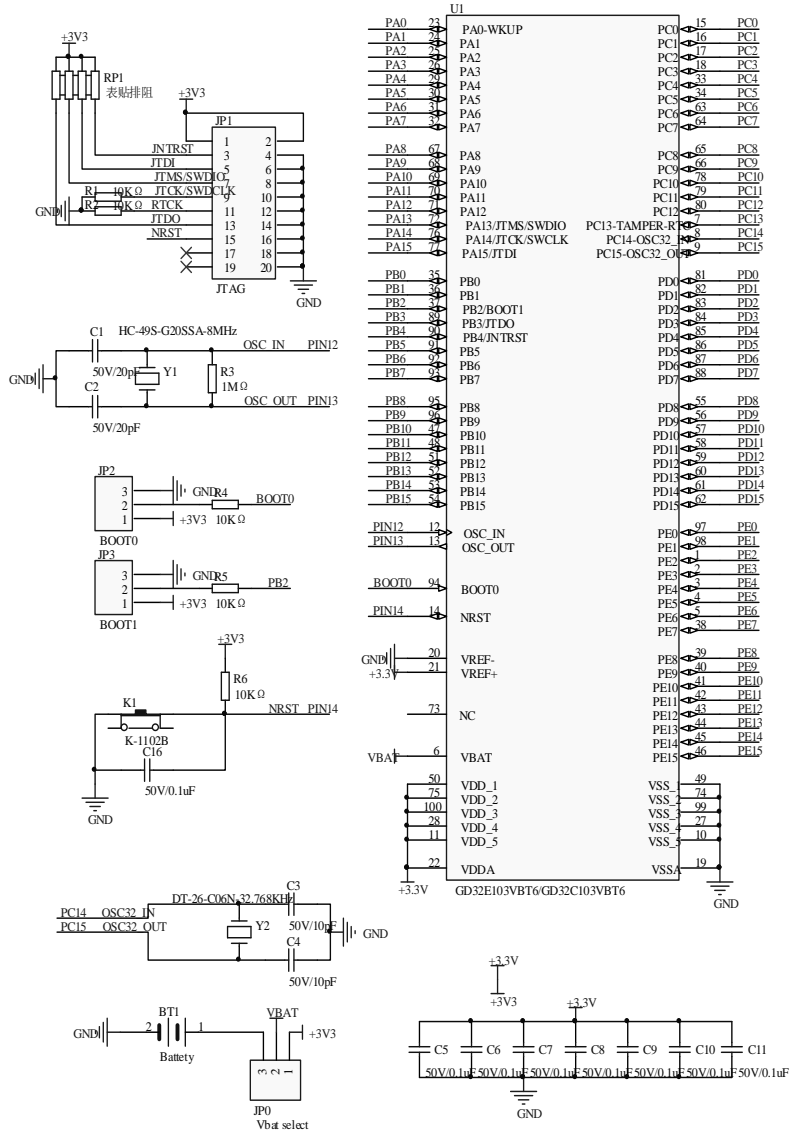


有以下几种方式可以提高SWD下载调试通信的可靠性，增强下载调试的抗干扰能力。

1. 缩短SWD两个信号线长度，最好15cm以内；
2. 将SWD两根线和GND线编个麻花，缠在一起；
3. 在SWD两根信号线对地各并几十pF小电容；
4. SWD两根信号线任意IO串入100Ω~1KΩ电阻。

2.6. 参考原理图设计

图 2-21. GD32E103/GD32C103 推荐参考原理图设计



3. PCB Layout 设计

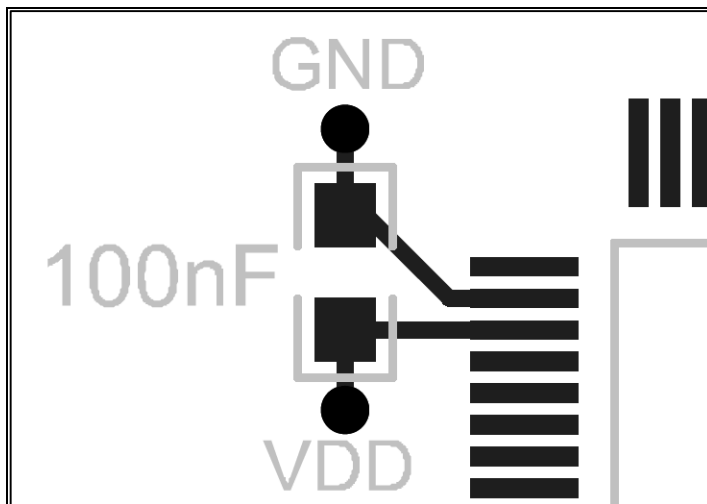
为增强MCU的功能稳定性及EMC性能，不仅需要考虑到配套外围元器件性能，在PCB Layout上也至关重要。另外，在条件允许的情况下，尽量选用有独立GND层和独立电源层的PCB设计方案，这样可以提供更好的EMC性能。如果条件不允许的情况下，无法提供独立的GND层和电源层，那也需要保证有一个良好的供电和接地设计，如尽量使得MCU下方GND平面的完整性等。

在有大功率或可产生强干扰的应用下，需要考虑将MCU远离这些强干扰源。

3.1. 电源去耦电容

GD32E103/GD32C103系列电源有V_{DD}、V_{DDA}、V_{REF+}和V_{BAT}四个供电脚，100nF去耦电容采用陶瓷即可，且需要保证位置尽可能地靠近电源引脚。电源走线要尽量使得经过电容后再到达MCU电源引脚，建议可通过靠近电容PAD处打Via的形式Layout。

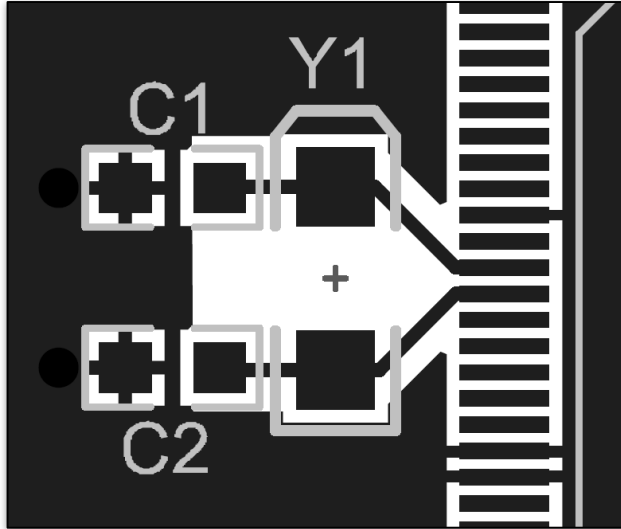
图 3-1. 推荐电源引脚去耦 Layout 设计



3.2. 时钟电路

GD32E103/GD32C103系列时钟有HXTAL和LXTAL，要求时钟电路（包括晶体或晶振及电容等）靠近MCU时钟引脚放置，且尽量时钟走线由GND包裹起来。

图 3-2. 推荐时钟引脚 Layout 设计（无源晶体）



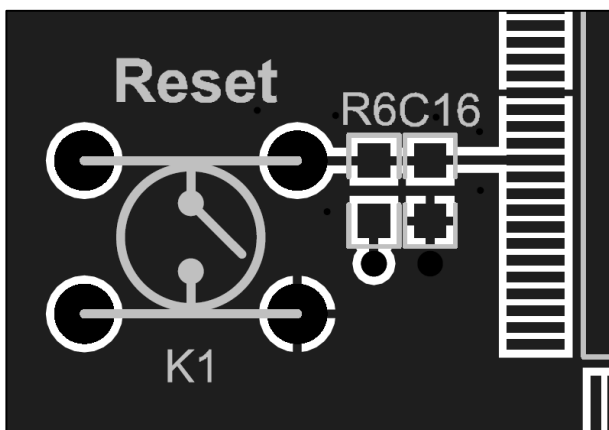
注意：

1. 晶体尽量靠近MCU时钟Pin，匹配电容等尽量靠近晶体；
2. 整个电路尽量与MCU在同层，走线尽量不要穿层；
3. 时钟电路PCB区域尽量禁空，不走任何与时钟无关走线；
4. 大功率、强干扰风险器件及高速走线尽量远离时钟晶体电路；
5. 时钟线进行包地处理，以起到屏蔽效果；
6. 匹配电容的GND要和芯片的GND离很近。

3.3. 复位电路

NRST走线PCB Layout参考如下：

图 3-3. 推荐 NRST 走线 Layout 设计



注意：复位电路阻容等尽可能地靠近MCU NRST引脚，且NRST走线尽量远离强干扰风险器件及高速走线等，条件允许的话，最好将NRST走线做包地处理，以起到更好的屏蔽效果。

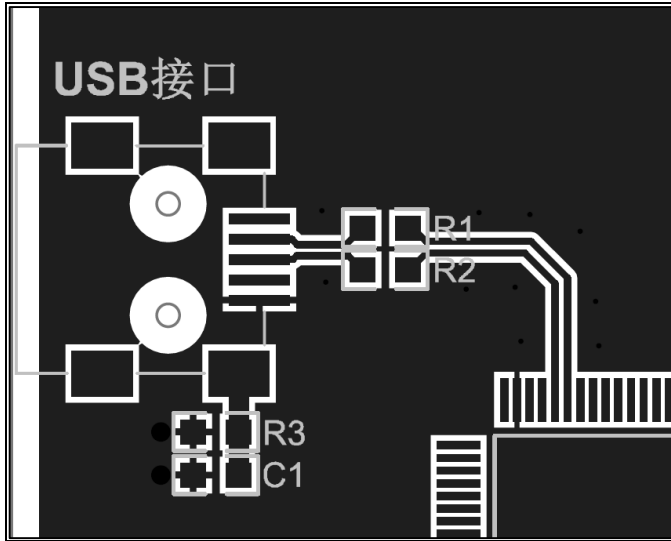
3.4. USB 电路

USB模块有DM、DP两根差分信号线，建议PCB走线要求做特性阻抗90ohm，差分走线严格按照等长等距规则来走，且尽量使走线最短，如果两条差分线不等长，可在终端用蛇形线补偿短线。

由于阻抗匹配考虑，串联匹配电阻建议50Ω左右即可。当USB终端接口离MCU较远的时候，需要适当增大该串联电阻值。

USB差分走线参考如下：

图 3-4. 推荐 USB 差分走线 Layout 设计



推荐：R1 = R2 = 50Ω，R3 = 1MΩ，C = 4700pF。

注意：

1. 布局时摆放合理，以缩短差分走线距离；
2. 优先绘制差分线，一对差分线上尽量不要超过两对过孔，且需要对称放置；
3. 对称平行走线，保证两根线紧密耦合，避免90°、弧形或45°走线方式；
4. 差分走线上所接阻容、EMC等器件，或测试点，也要做到对称原则。

4. 封装说明

GD32E103/GD32C103系列共有4种封装形式,分别为LQFP100、LQFP64、LQFP48和QFN36。

表 4-1. 封装型号说明

Ordering code	Package
GD32E103TxU6/GD32C103TxU6	QFN36(6x6, 0.5 pitch)
GD32E103CxT6/GD32C103CxT6	LQFP48(7x7, 0.5 pitch)
GD32E103RxT6/GD32C103RxT6	LQFP64(10x10, 0.5 pitch)
GD32E103VxT6/GD32C103VxT6	LQFP100(14x14, 0.5 pitch)

(Original dimensions are in millimeters)

5. 版本历史

表 5-1. 版本历史

版本号.	说明	日期
1.0	首次发布	2022 年 5 月 20 日

Important Notice

This document is the property of GigaDevice Semiconductor Inc. and its subsidiaries (the "Company"). This document, including any product of the Company described in this document (the "Product"), is owned by the Company under the intellectual property laws and treaties of the People's Republic of China and other jurisdictions worldwide. The Company reserves all rights under such laws and treaties and does not grant any license under its patents, copyrights, trademarks, or other intellectual property rights. The names and brands of third party referred thereto (if any) are the property of their respective owner and referred to for identification purposes only.

The Company makes no warranty of any kind, express or implied, with regard to this document or any Product, including, but not limited to, the implied warranties of merchantability and fitness for a particular purpose. The Company does not assume any liability arising out of the application or use of any Product described in this document. Any information provided in this document is provided only for reference purposes. It is the responsibility of the user of this document to properly design, program, and test the functionality and safety of any application made of this information and any resulting product. Except for customized products which has been expressly identified in the applicable agreement, the Products are designed, developed, and/or manufactured for ordinary business, industrial, personal, and/or household applications only. The Products are not designed, intended, or authorized for use as components in systems designed or intended for the operation of weapons, weapons systems, nuclear installations, atomic energy control instruments, combustion control instruments, airplane or spaceship instruments, transportation instruments, traffic signal instruments, life-support devices or systems, other medical devices or systems (including resuscitation equipment and surgical implants), pollution control or hazardous substances management, or other uses where the failure of the device or Product could cause personal injury, death, property or environmental damage ("Unintended Uses"). Customers shall take any and all actions to ensure using and selling the Products in accordance with the applicable laws and regulations. The Company is not liable, in whole or in part, and customers shall and hereby do release the Company as well as its suppliers and/or distributors from any claim, damage, or other liability arising from or related to all Unintended Uses of the Products. Customers shall indemnify and hold the Company as well as its suppliers and/or distributors harmless from and against all claims, costs, damages, and other liabilities, including claims for personal injury or death, arising from or related to any Unintended Uses of the Products.

Information in this document is provided solely in connection with the Products. The Company reserves the right to make changes, corrections, modifications or improvements to this document and Products and services described herein at any time, without notice.