

GigaDevice Semiconductor Inc.

GD32F4xx 系列硬件开发指南

应用笔记

AN056

目 录

目 录	2
图索引	3
表索引	4
1. 前言	5
2. 硬件设计	6
2.1. 电源	6
2.1.1. 备份域	6
2.1.2. V _{DD} /V _{DDA} 电源域	7
2.1.3. 供电设计	7
2.1.4. 复位及电源管理	8
2.2. 时钟	12
2.2.1. 外部高速晶体振荡时钟 (HXTAL)	13
2.2.2. 外部低速晶体振荡时钟 (LXTAL)	14
2.2.3. 时钟输出能力 (CKOUT)	16
2.2.4. HXTAL 时钟监视器 (CKM)	16
2.2.5. PLL 展频 (SSCG)	16
2.3. 启动配置	18
2.4. 典型外设模块	18
2.4.1. GPIO 电路	18
2.4.2. ADC 电路	19
2.4.3. DAC 电路	21
2.4.4. USB 电路	21
2.4.5. Standby 模式唤醒电路	22
2.5. 下载调试电路	23
2.6. 参考原理图设计	26
3. PCB Layout 设计	27
3.1. 电源去耦电容	27
3.2. 时钟电路	27
3.3. 复位电路	28
3.4. USB 电路	29
3.5. BGA 封装的扇出	30
4. 封装说明	32
5. 版本历史	33

图索引

图 2-1. GD32F4xx 系列电源域概览	6
图 2-2. GD32F4xx 系列推荐供电设计	8
图 2-3. 上电/掉电复位波形图	9
图 2-4. LVD 阈值波形图	9
图 2-5. BOR 阈值波形图	10
图 2-6. 推荐 PDR_ON 引脚电路设计	11
图 2-7. RCU_RSTSCK 寄存器	11
图 2-8. 系统复位电路	11
图 2-9. 推荐外部复位电路	12
图 2-10. 时钟树	13
图 2-11 HXTAL 外部晶体电路	14
图 2-12 HXTAL 外部时钟电路	14
图 2-13. LXTAL 外部晶体电路	15
图 2-14. LXTAL 外部时钟电路	15
图 2-15. 中心扩频方式展频	17
图 2-16. 向下扩频方式展频	17
图 2-17. 推荐 BOOT 电路设计	18
图 2-18. 标准 IO 的基本结构	19
图 2-19. ADC 采集电路设计	20
图 2-20. 推荐 USB-Device 参考电路	22
图 2-21. 推荐 USB-Host 参考电路	22
图 2-22. 推荐 Standby 外部唤醒引脚电路设计	23
图 2-23. 推荐 JTAG 接线参考设计	24
图 2-24. 推荐 SWD 接线参考设计	25
图 2-25. GD32F4xx 推荐参考原理图设计	26
图 3-1. 推荐电源引脚去耦 Layout 设计	27
图 3-2. 推荐时钟引脚 Layout 设计（无源晶体）	28
图 3-3. 推荐 NRST 走线 Layout 设计	28
图 3-4. 推荐 DM、DP 差分走线 Layout 设计	29
图 3-5. 推荐 MCU 与 PHY Layout 设计	30
图 3-6. BGA100 封装的扇出方式	31
图 3-7. BGA176 封装的扇出方式	31

表索引

表 1-1. 适用产品	5
表 2-1. VBOR 阈值电压设置	10
表 2-2. CKOUT0SEL[1:0]控制位	16
表 2-3. CKOUT1SEL[1:0]控制位	16
表 2-4. PLL spread spectrum clock generation (SSCG) characteristics.....	16
表 2-5. BOOT 模式	18
表 2-6. $f_{ADC}=40\text{MHz}$ 采样周期与外部输入阻抗关系（适用 GD32F405xx/ GD32F407xx/ GD32F450xx 系列 MCU）	20
表 2-7. $f_{ADC}=40\text{MHz}$ 采样周期与外部输入阻抗关系（适用 GD32F425xx/ GD32F427xx/ GD32F470xx 系列 MCU）	20
表 2-8. DAC 相关引脚描述.....	21
表 2-9. JTAG 下载调试接口分配	23
表 2-10. SWD 下载调试接口分配	24
表 4-1. 封装型号说明	32
表 5-1. 版本历史	33

1. 前言

本文是专为基于Arm® Cortex®-M4架构的32位通用MCU GD32F4xx系列开发者提供的，对GD32F4xx系列产品硬件开发做了总体介绍，如电源、复位、时钟、启动模式的设置及下载调试等。该应用笔记的目的是让开发者快速上手使用GD32F4xx系列产品，并快速进行产品硬件开发使用，节约研读手册的时间，加快产品开发进度。

本应用笔记总共分为七部分来讲述：

1. 电源，主要介绍GD32F4xx系列电源管理、供电及复位功能的设计；
2. 时钟，主要介绍GD32F4xx系列高、低速时钟的功能设计；
3. 启动配置，主要介绍GD32F4xx系列BOOT配置及设计；
4. 典型外设模块，主要介绍GD32F4xx系列主要功能模块硬件设计；
5. 下载调试电路，主要介绍GD32F4xx系列推荐典型下载调试电路；
6. 参考电路及PCB Layout设计，主要介绍GD32F4xx系列硬件电路设计及PCB Layout设计注意事项；
7. 封装说明，主要介绍GD32F4xx系列所包含的封装形式及命名。

该文档也满足了基于GD32F4xx系列产品应用开发中所用到的最小系统硬件资源。

表 1-1. 适用产品

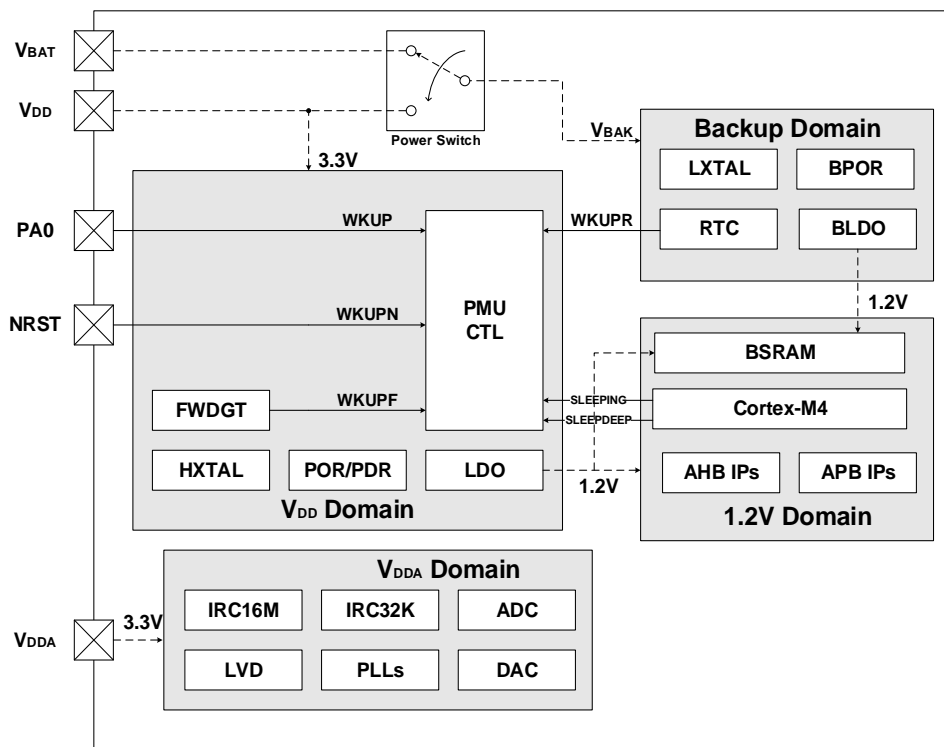
类型	型号
MCU	GD32F405xx 系列
	GD32F425xx 系列
	GD32F407xx 系列
	GD32F427xx 系列
	GD32F450xx 系列
	GD32F470xx 系列

2. 硬件设计

2.1. 电源

GD32F4xx系列V_{DD}/V_{DDA}工作电压范围为2.6 V ~ 3.6 V。如[图2-1. GD32F4xx系列电源域概览](#)所示，GD32F4xx系列设备有三个电源域，包括V_{DD}/V_{DDA}域，1.2 V域和备份域。V_{DD}/V_{DDA}域由电源直接供电，且在V_{DD}/V_{DDA}域中嵌入了一个LDO，用来为1.2 V域供电。备份域供电V_{BAK}可通过电源切换器Power Switch切换由V_{DD}或V_{BAT}供电，当V_{DD}电源关闭时，电源切换器可以将备份域的电源切换到V_{BAT}引脚，此时备份域由V_{BAT}引脚（电池）供电。

图2-1. GD32F4xx系列电源域概览



LVD: 低压检测器
POR: 上电复位

LDO: 电压调节器
PDR: 掉电复位

BPOR: 备份域上电复位
BLDO: 备份SRAM LDO输出1.2V电压

2.1.1. 备份域

备份域供电电压范围为1.8 V ~ 3.6 V。电池备份域由内部电源切换器来选择V_{DD}供电或V_{BAT}（电池）供电，然后由V_{BAK}为备份域供电。为了确保备份域中寄存器的内容及RTC正常工作，当V_{DD}关闭时，V_{BAT}引脚可以连接至电池或其他电源等备份源供电。如果外部没有电池供电的应用，建议将V_{BAT}引脚通过100nF电容对地后接至V_{DD}引脚上。

关于V_{BAT}电源有以下注意事项：

- 1、 由于在V_{DD}上电阶段，芯片内部备份域电源仍然连接V_{BAT}脚，如果此时V_{DD}>V_{BAT}+0.6V，电流可能通过V_{DD}与V_{BAT}之间的内部二极管注入到V_{BAT}，引起V_{BAT}的脉冲；
- 2、 关于V_{BAT}引脚的功耗，理论上，当MCU的V_{DD}上电时，备份域内部switch连接到V_{DD}上，V_{BAT}

引脚无电流，但是，当主程序有使用ADC通过内部channel测量V_{BAT}电压时，由于MCU设计，会对V_{BAT}上的电压进行4分压，然后进ADC channel，因此会在V_{BAT}引脚上引起额外的功耗（几十uA级）。

2.1.2. V_{DD}/V_{DDA} 电源域

V_{DD}/V_{DDA}电源域包括V_{DD}域和V_{DDA}域两部分。如果V_{DDA}不等于V_{DD}，要求两者之间的压差不能超过300mV（芯片内部V_{DDA}与V_{DD}通过背靠背二极管连接）。为避免噪声，V_{DDA}可通过外部滤波电路连接至V_{DD}，相应的V_{SSA}通过特定电路（单点接地，通过0Ω电阻或者磁珠等）连接至V_{SS}。

为了提高ADC的转换精度，为V_{DDA}独立供电可使模拟电路达到更好的特性。在大封装上含有专为ADC独立供电的V_{REF}引脚（ $2.6\text{ V} \leq V_{\text{REF}+} \leq V_{\text{DDA}}$, $V_{\text{REF}-} = V_{\text{SSA}}$ ）。

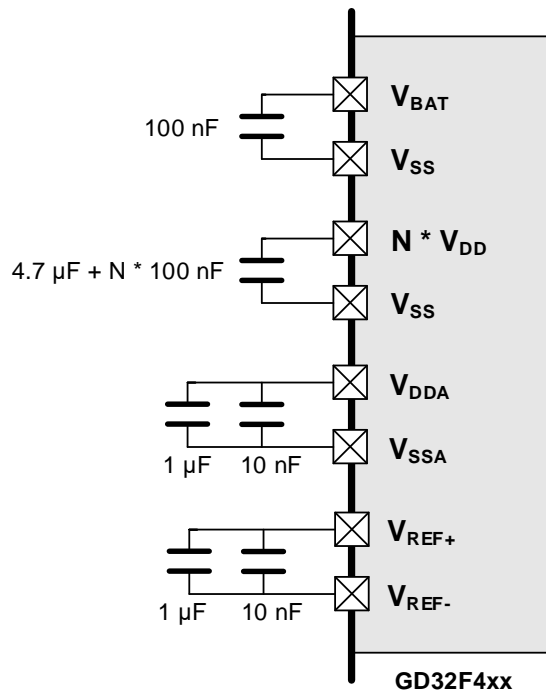
- BGA封装中，100及以上引脚的封装芯片含有V_{REF+}和V_{REF-}，V_{REF+}可以使用外部参考电源，也可以直连至V_{DDA}，V_{REF-}必须连接到V_{SSA}；
- LQFP封装中，100及以上引脚的封装芯片含有V_{REF+}，V_{REF+}可以使用外部参考电源，也可以直连至V_{DDA}；
- 64引脚封装芯片无V_{REF+}和V_{REF-}，其在内部直连至V_{DDA}和V_{SSA}，所有模拟模块均由V_{DDA}供电（包括ADC/DAC）。

2.1.3. 供电设计

系统需要稳定的电源，开发使用的时候有些重要事项需要注意：

- V_{DD}脚必须外接电容（N*100nF陶瓷电容+不小于4.7uF钽电容，至少一个V_{DD}需要接不小于4.7uF电容到GND，其他V_{DD}引脚接100nF）；
- V_{DDA}脚必须外接电容（建议10nF+1uF陶瓷电容）；
- V_{REF}引脚可由内部产生也可直连至V_{DDA}，且在V_{REF}引脚对地连接10nF+1uF陶瓷电容。

图 2-2. GD32F4xx 系列推荐供电设计



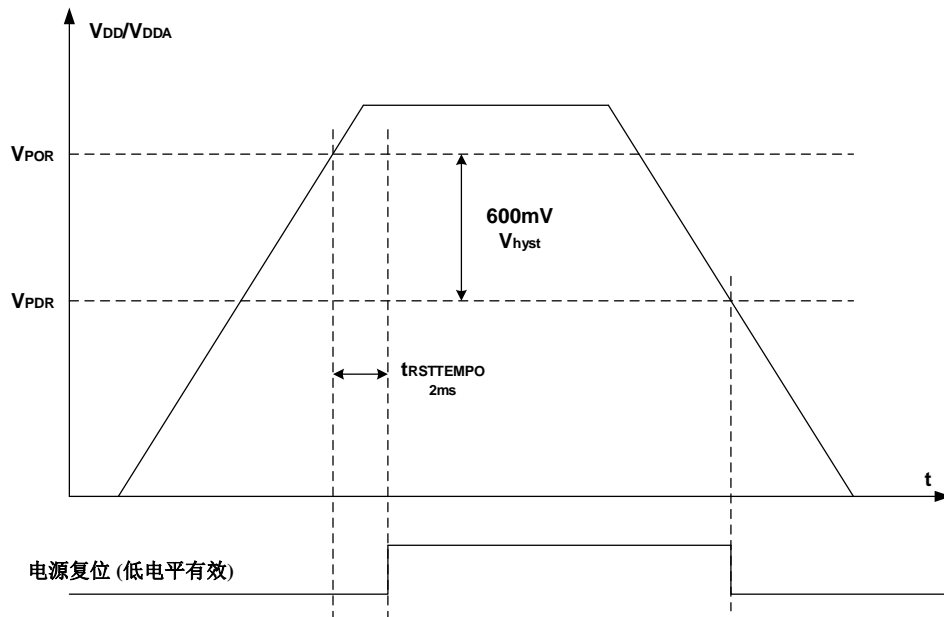
注意：所有去耦电容须靠近芯片对应V_{DD}、V_{DDA}、V_{REF}引脚放置。

2.1.4. 复位及电源管理

GD32F4xx系列复位控制包括三种复位：电源复位、系统复位和备份域复位。电源复位为冷复位，电源启动时复位除了备份域的所有系统。电源和系统复位的过程中，NRST会维持一个低电平，直至复位结束。MCU无法执行起来时，可以通过示波器监测NRST管脚波形来判断芯片是否有一直发生复位事件。

芯片内部集成 POR/ PDR（上电/掉电复位）电路，用于检测 V_{DD}/V_{DDA} 并在电压低于特定阈值时产生电源复位信号复位除备份域之外的整个芯片。V_{POR} 表示上电复位的阈值电压，典型值约为 2.4 V，V_{PDR} 表示掉电复位的阈值电压，典型值约为 1.8 V。迟滞电压 V_{hyst} 值约为 600mV。

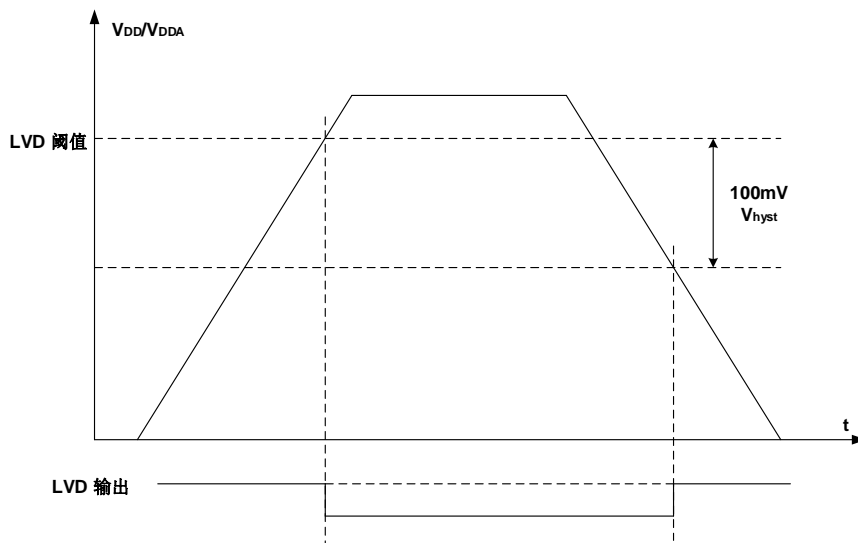
图2-3. 上电/掉电复位波形图



LVD的功能是检测 V_{DD}/V_{DDA} 供电电压是否低于低电压检测阈值（2.1V~3.1V），该阈值由电源控制寄存器(PMU_CTL)中的LVDT[2:0]位进行配置。LVD通过LVDEN置位使能，位于电源状态寄存器(PMU_CS)中的LVDF位表示 V_{DD}/V_{DDA} 高于或低于LVD阈值电压事件是否出现，该事件连接至EXTI的第16线，用户可以通过配置EXTI的第16线产生相应的中断。[图2-4. LVD阈值波形图](#)显示了 V_{DD}/V_{DDA} 供电电压和LVD输出信号的关系。（LVD中断信号依赖于EXTI第16线的上升或下降沿配置）。迟滞电压 V_{hyst} 值为100mV。

LVD 应用场合：当MCU电源受到外部干扰时，如发生电压跌落，我们可通过LVD设置低电压检测阈值（该阈值大于PDR值），一旦跌落到该阈值，LVD中断被打开，可在中断函数里设置软复位等操作，避免MCU发生其他异常。

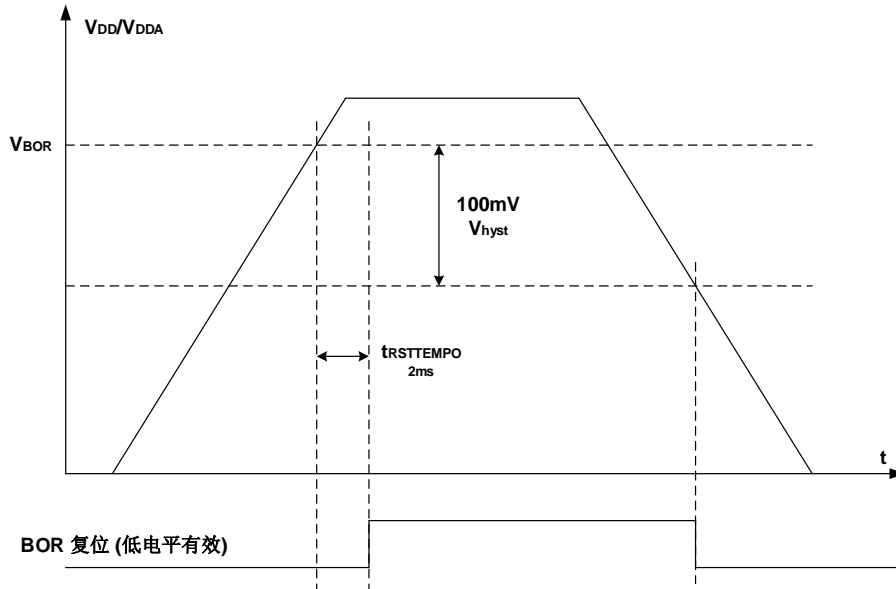
图2-4. LVD阈值波形图



GD32F4xx系列MCU内部还集成有BOR电路。BOR电路检测 V_{DD}/V_{DDA} 并在电压低于选项字节

的BOR_TH定义的阈值且该阈值不为0b11（默认状态：BOR_TH=0b11，BOR功能关闭）时产生电源复位信号复位除备份域外的整个芯片。不管选项字节BOR_TH的值是否为0b11，POR/PDR（上电/掉电复位）电路会一直处于检测状态。[图2-5. BOR阈值波形图](#)显示了供电电压和BOR复位信号之间的关系。 V_{BOR} 表示BOR复位的阈值电压，该值在选项字节BOR_TH中定义。迟滞电压 V_{hyst} 值为100mV。

图2-5. BOR阈值波形图



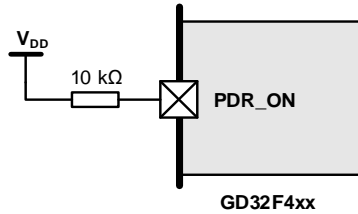
BOR阈值通过选项字节BOR_TH设置，可以设置三种不同的level，对应关系参照下表：

表 2-1. V_{BOR} 阈值电压设置

Symbol	Conditions	Typ
BOR_TH=00(BOR level3)	Falling edge	2.79 V
	Rising edge	2.88 V
BOR_TH=01(BOR level2)	Falling edge	2.49 V
	Rising edge	2.58 V
BOR_TH=10(BOR level1)	Falling edge	2.19 V
	Rising edge	2.29 V
BOR_TH=11(BOR off)	-	-

对于LQFP封装，在144pin及以上封装上有PDR_ON引脚，对于BGA封装，则在BGA100及以上封装上有PDR_ON引脚，该引脚使能芯片内部POR/PDR电路，为确保芯片在上电阶段与掉电阶段发生有效POR与PDR，我们十分建议将该pin通过一个10k欧姆电阻上拉到 V_{DD} ，如下图所示。

图 2-6. 推荐 PDR_ON 引脚电路设计



另外，MCU复位源可以通过查询寄存器RCU_RSTSCK (0x40023874)该寄存器只有上电复位才能清除标志位，所以在使用过程中，获取到复位源后，可通过RSTFC控制位清除复位标志，那样发生看门狗复位或其他复位事件时，才能较准确在RCU_RSTSCK寄存器中体现出来：

图 2-7. RCU_RSTSCK 寄存器

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LP	WWDGT	FWDGT	SW	POR	EP	BOR	RSTFC	保留							
RSTF	RSTF	RSTF	RSTF	RSTF	RSTF	RSTF	RSTF								
r	r	r	r	r	r	r	r	rw							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留													IRC32K	IRC32KE	
													STB	N	
													r	rw	

MCU内部集成有上电/掉电复位电路，在设计外部复位电路时，NRST管脚必须要放置一个电容（典型值100nF），确保NRST管脚上电能产生一个至少20us的低脉冲延时，完成有效上电复位过程。

图2-8. 系统复位电路

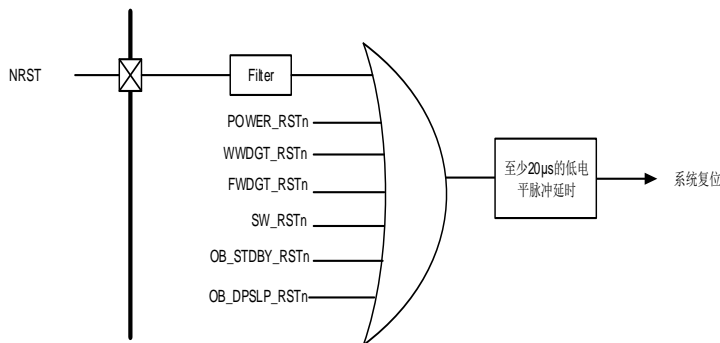
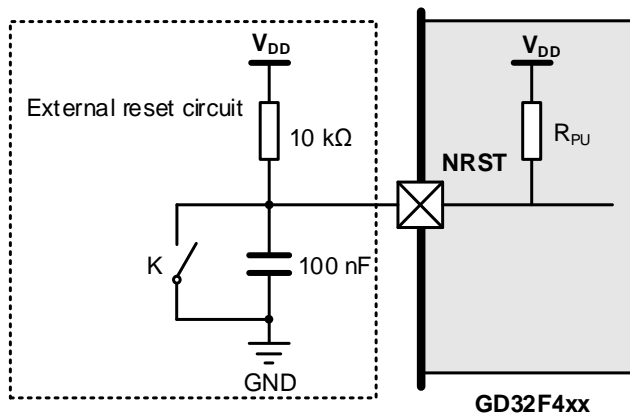


图 2-9. 推荐外部复位电路

**注意：**

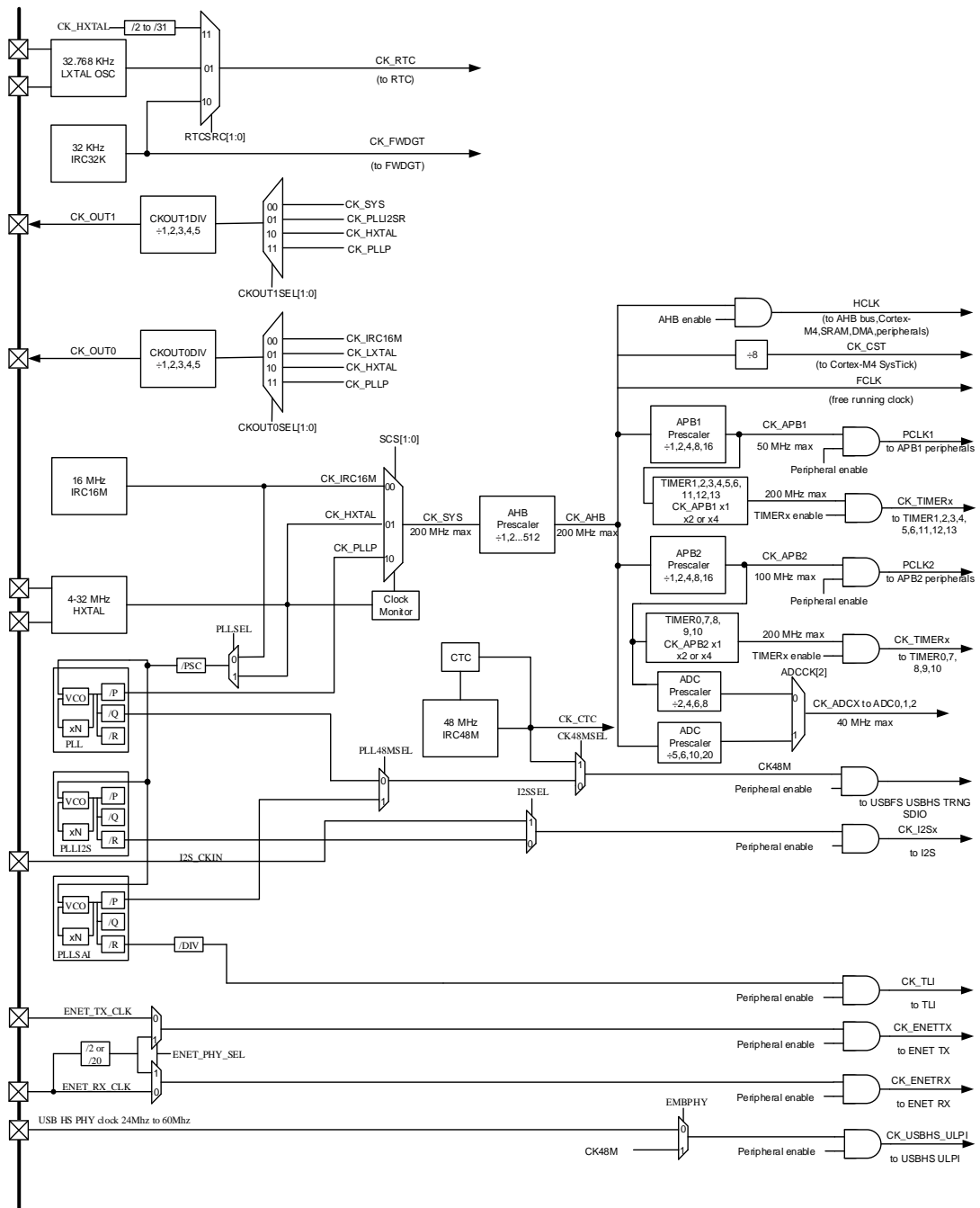
1. 上拉电阻建议10kΩ即可，以使得电压干扰不会导致芯片工作异常；
2. 若考虑静电等影响，可在NRST管脚处放置ESD保护二极管；
3. 尽管MCU内部有硬件POR电路，仍推荐外部加NRST复位阻容电路；
4. 如果MCU启动异常（由于电压波动等），可适当增加NRST对地电容值，拉长MCU复位完成时间，避开上电异常时序区。

2.2. 时钟

GD32F4xx系列内部有完备的时钟系统，可以根据不同的应用场合，选择合适的时钟源，时钟主要特征：

- 4-32 MHz外部高速晶体振荡器(HXTAL)
- 内部16 MHz RC振荡器(IRC16M)
- 内部48 MHz RC振荡器(IRC48M)
- 32.768 KHz外部低速晶体振荡器 (LXTAL)
- 内部32 KHz RC振荡器(IRC32K)
- PLL时钟源可选HXTAL或IRC16M
- HXTAL时钟监视器

图 2-10. 时钟树



注意：GD32F405xx/ GD32F407xx系列MCU最高主频为168M；GD32F425xx/ GD32F427xx/ GD32F450xx系列MCU最高主频为200M；GD32F470xx系列MCU最高主频为240M。

2.2.1. 外部高速晶体振荡时钟（HXTAL）

4-32MHz外部高速晶体振荡器（无源晶体）可为系统提供精准的主时钟。该特定频率的晶体必须靠近HXTAL引脚放置，和晶体连接的外部电阻和匹配电容必须根据所选择的振荡器参数来调整。HXTAL还可以使用旁路输入的模式来输入时钟源（1-50MHz有源晶振等）。旁路输入时，信号接至OSC_IN，OSC_OUT保持悬空状态，软件上需要打开HXTAL的Bypass功能（使能

RCU_CTL里的HXTALBPS位)。

图 2-11 HXTAL 外部晶体电路

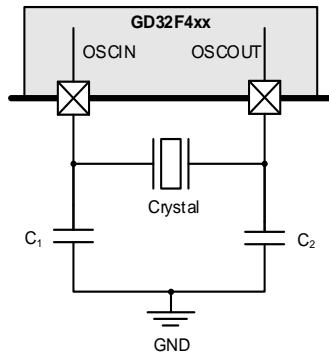
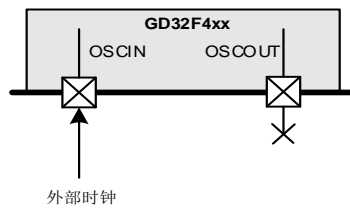


图 2-12 HXTAL 外部时钟电路



注意：

1. 使用旁路输入时，信号从 OSC_IN 输入，OSC_OUT 保持悬空状态。
2. 关于外部匹配电容大小可参考公式： $C_1 = C_2 = 2 * (C_{LOAD} - C_S)$ ，其中 C_S 为 PCB 和 MCU 引脚的杂散电容，典型值为 10pF。推荐选用外部高速晶体时，尽量选择晶体负载电容在 20pF 左右的，这样外部所接匹配电容 C_1 和 C_2 电容值为 20pF 即可，且 PCB Layout 时尽可能近地靠近晶振引脚。
3. C_S 为 PCB 板走线及 IC pin 上的寄生电容，当晶体离 MCU 越近， C_S 越小，反之越大。所以，在实际应用中，当晶体离 MCU 较远导致晶体工作异常时，可适当减小外部匹配电容。
4. 使用外部高速晶体时，建议在晶体两端并联 1MΩ 电阻，以使得晶体更容易起振。
5. 精度：外部有源晶振 > 外部无源晶体 > 内部 IRC16M。
6. 正常使用有源晶振，会打开 Bypass，此时要求高电平不低于 0.7V_{DD}，低电平不大于 0.3V_{DD}。如不打开 Bypass，对有源晶振的振幅幅值要求会大大降低。
7. 谐振器与 MCU 时钟引脚连接的走线可能会应为 PCB 布局布线的空间限制导致连接到 OSC_OUT 和 OSC_IN 两个引脚的走线长度不一致。这会使两条 PCB 走线引入的杂散电容不一致，从而导致谐振器两边的负载电容在取值时不能相等，需要存在差值以匹配实际的 PCB 板。对于这种情况建议联系谐振器厂家测算实际的数值。

2.2.2. 外部低速晶体振荡时钟（LXTAL）

LXTAL 晶体是一个 32.768KHz 的低速外部晶体（无源晶体），能够为 RTC 提供一个低功耗且高

精度的时钟源。MCU的RTC模块相当于一个计数器，精度会受到晶体性能、匹配电容以及PCB材质等影响，如果想要获取到较好精度，在电路设计时，建议将PC13接至定时器输入捕获管脚，通过TIMER来对LXTAL进行校准，根据校准情况设定RTC的分频寄存器。LXTAL也可以支持旁路时钟输入（有源晶振等），可以通过配置RCU_BDCTL里面的LXTALBPS位来使能。

图 2-13. LXTAL 外部晶体电路

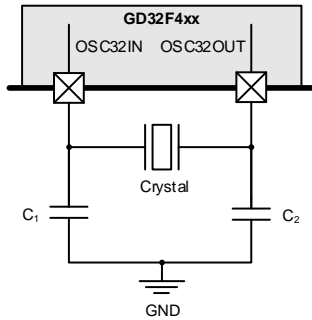
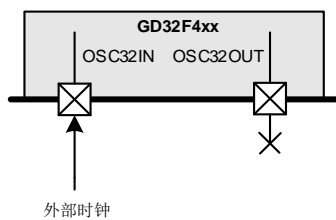


图 2-14. LXTAL 外部时钟电路



注意：

1. 使用旁路输入时，信号从OSC32_IN输入，OSC32_OUT保持悬空状态；
2. 关于外部匹配电容大小可参考公式： $C_1 = C_2 = 2 * (C_{LOAD} - C_S)$ ，其中 C_S 为PCB和MCU引脚的杂散电容，经验值在2pF-7pF之间，建议以5pF为参考值计算。推荐选用外部晶体时，尽量选择晶体负载电容在10pF左右的，这样外部所接匹配电容 C_1 和 C_2 电容值为10pF即可，且PCB Layout时尽可能近地靠近晶振引脚；
3. 当RTC选择IRC32K作为时钟源，并且使用 V_{BAT} 外部独立供电时，如果此时MCU掉电，RTC会停止计数，重新上电后，RTC会接着之前的计数值继续累加计时。若应用需要使用 V_{BAT} 给RTC供电时，RTC仍能正常计时，RTC须选择LXTAL作为时钟源；
4. MCU可以设置LXTAL的驱动能力，若实际调试过程中，发现外部低速晶体难以起振，可尝试将LXTAL的驱动能力调整为高驱动能力；
5. 谐振器与MCU时钟引脚连接的走线可能会应为PCB布局布线的空间限制导致连接到MCU两个晶振引脚的走线长度不一致。这会使两条PCB走线引入的杂散电容不一致，从而导致谐振器两边的负载电容在取值时不能相等，需要存在差值以匹配实际的PCB板。对于这种情况建议联系谐振器厂家测算实际的数值。

2.2.3. 时钟输出能力（CKOUT）

GD32F4xx 系列 MCU 可输出从 32kHz 到 200MHz 的时钟。通过设置时钟配置寄存器 0(RCU_CFG0)中的 CK_OUT0 时钟源选择位域 CKOUT0SEL 能够选择不同的时钟信号。CK_OUT1 时钟输出源选择通过设置时钟配置寄存器 RCU_CFG0 中的 CKOUT1SEL 位域实现。相应的 GPIO 引脚应该被配置成备用功能 I/O(AFIO)模式来输出选择的时钟信号。CK_OUT0 对应的 IO 口为 PA8，CK_OUT1 对应的 IO 口为 PC9。

表 2-2. CKOUT0SEL[1:0]控制位

CKOUT0SEL[1:0]	时钟源
00	CK_IRC16M
01	CK_LXTAL
10	CK_HXTAL
11	CK_PLLP

表 2-3. CKOUT1SEL[1:0]控制位

CKOUT1SEL[1:0]	时钟源
00	CK_SYS
01	CK_PLLI2SR
10	CK_HXTAL
11	CK_PLLP

2.2.4. HXTAL 时钟监视器（CKM）

设置控制寄存器 RCU_CTL 中的 HXTAL 时钟监视使能位 CKMEN，HXTAL 可以使能时钟监视功能。该功能必须在 HXTAL 启动延迟完毕后使能，在 HXTAL 停止后禁止。一旦监测到 HXTAL 故障，HXTAL 将自动被禁止，中断寄存器 RCU_INT 中的 HXTAL 时钟阻塞中断标志位 CKMIF 将被置‘1’，产生 HXTAL 故障事件。这个故障引发的中断和 Cortex-M4 的不可屏蔽中断 NMI 相连。如果 HXTAL 被选作系统或 PLL 的时钟源，HXTAL 故障将促使选择 IRC16M 为系统时钟源且 PLL 将被自动禁止。

注意：如果 HXTAL 被选作系统或 PLL 的时钟源，HXTAL 故障将促使选择 IRC16M 为系统时钟源且 PLL 将被自动禁止。RTC 的时钟源需要重新配置。

2.2.5. PLL 展频（SSCG）

为了减小 EMI 干扰，GD32F4xx 系列 PLL 集成时钟展频功能（只适用于主 PLL），有效降低在主时钟频点及其奇次谐波能量。根据设置的调制频率 f_{mod} 与调制峰值 $mdamp$ （范围参照 [表 2-4. PLL spread spectrum clock generation \(SSCG\) characteristics](#)），通过公式（2-1）与公式（2-2），计算出 MODCNT 与 MODSTEP，填入 PLL 时钟扩频控制寄存器 (RCU_PLLSSCTL) 中，注意 MODCNT 与 MODSTEP 的乘积不能大于 $2^{15}-1$ ，如果出现大于的情况，则需要降低调制峰值 $Mdamp$ 重新计算。

表 2-4. PLL spread spectrum clock generation (SSCG) characteristics

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
--------	-----------	------------	-----	-----	-----	------

f_{mod}	Modulation frequency	—	—	—	10	kHz
mdamp	Peak modulation amplitude	—	—	—	2	%
MODCNT* MODSTEP	—	—	—	—	$2^{15}-1$	—

MODCNT与MODSTEP通过以下算式得出：

$$MODCNT = \text{round}(f_{PLLIN}/4/f_{mod}) \quad (2-1)$$

$$MODSTEP = \text{round}(mdamp * PLLN * 2^{14} / (MODCNT * 100)) \quad (2-2)$$

f_{PLLIN} 表示PLL输入时钟频率， f_{mod} 表示扩频调制频率，mdamp表示扩频调制振幅（按百分比表示），PLLN 表示PLL时钟频率倍频因子

例如PLL参考时钟源HXTAL=8MHz，预分频PLLM=4，则 f_{PLLIN} =2MHz，设置PLLN=200（此时VCO频率400MHz，二分频得到系统时钟200MHz），展频调制频率10KHz，调制幅度2%，则计算得到MODCNT=50，MODSTEP=1311，此时MODCNT*MODCNT> $2^{15}-1$ ，无法达到。降低调制幅度为1%，则MODCNT=50，MODSTEP=655，此时MODCNT*MODCNT=32750< $2^{15}-1$ 满足要求。

根据寄存器RCU_PLLSSCTL中SS_TYPE的设置，可选择两种扩频调制类型，分别为中心扩频和向下扩频，PLL输出频率会按如下波形变化。

图 2-15. 中心扩频方式展频

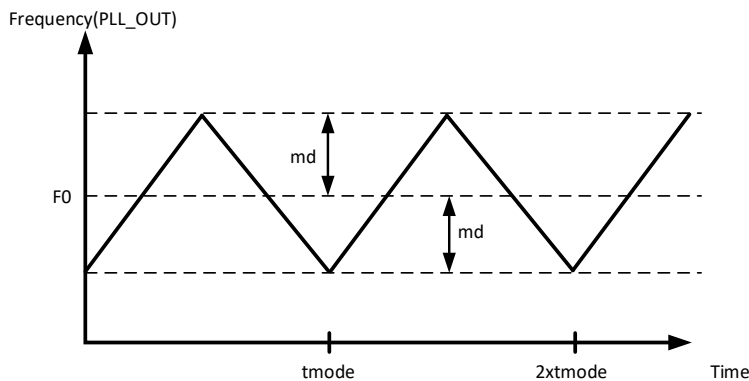
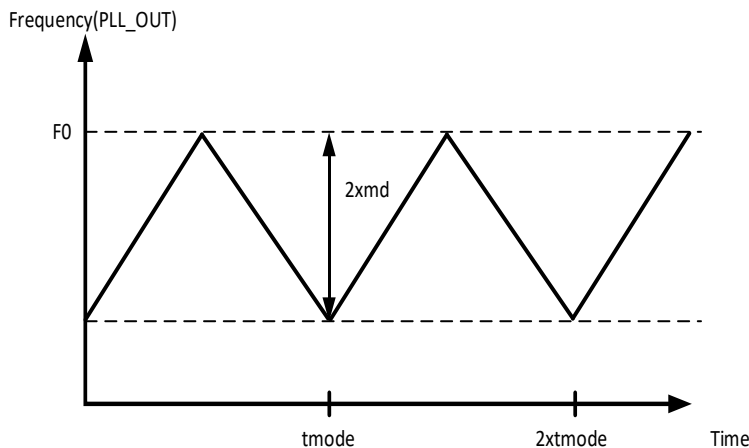


图 2-16. 向下扩频方式展频



注意：如果使能了PLL展频功能，则系统时钟频率则会处于波动状态，对于时钟精度要求较高的外设则可能发生工作不正常的情况，如使用MCU IO输出时钟作为PHY时钟的以太网应用以及USB相关应用。

2.3. 启动配置

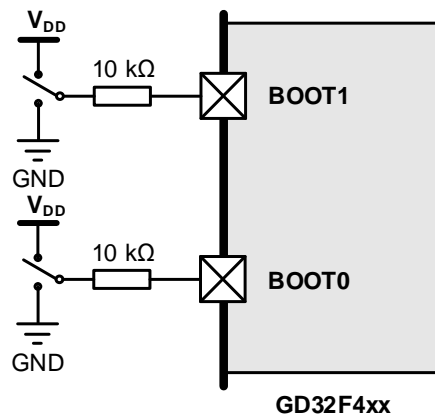
GD32F4xx系列提供三种启动方式，可以通过BOOT0位和BOOT1引脚进行选择来确定启动选项。电路设计时，运行用户程序，BOOT0引脚不能悬空，建议通过一个10kΩ电阻到GND；运行System Memory进行程序更新，需要将BOOT0引脚接高，BOOT1引脚接低，更新完成后，再将BOOT0接低后上电才能运行用户程序；SRAM执行程序多用于调试状态下。

嵌入式的Bootloader存放在系统存储空间，用于对FLASH存储器进行重新编程。Bootloader可以通过USART0（PA9 and PA10）、USART2（PB10 and PB11 or PC10 and PC11）或USB FS（PA9、PA11和PA12）和外界交互。

表 2-5. BOOT 模式

BOOT 模式	BOOT1	BOOT0
Main Flash Memory	X	0
System Memory	0	1
On Chip SRAM	1	1

图 2-17. 推荐 BOOT 电路设计



注意：

1. MCU运行后，如果改变BOOT状态，须系统复位后才可生效；
2. 一旦BOOT1引脚状态被采样到，它可以被释放用于其他用途。

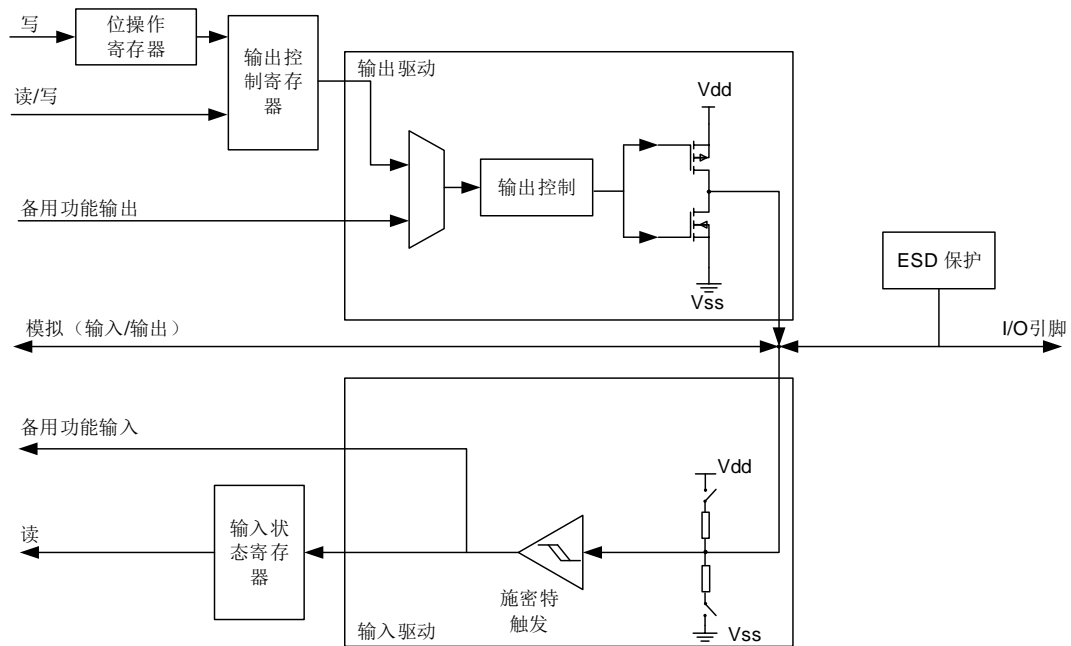
2.4. 典型外设模块

2.4.1. GPIO 电路

GD32F4xx最多可支持140个通用I/O引脚（GPIO），分别为PA0 ~ PA15，PB0 ~ PB15，PC0

~ PC15, PD0 ~ PD15, PE0 ~ PE15, PF0 ~ PF15, PG0 ~ PG15, PH0 ~ PH15, PI0 ~ PI11;
每个引脚都可以通过寄存器独立配置，GPIO口的基本结构详见下图：

图 2-18. 标准 IO 的基本结构



注意：

1. IO口分为5V耐受和非5V耐受，使用时注意区分IO口耐压情况，对于GD32F4xx系列芯片，除去PA4,PA5两个pin为非5V耐受pin，其余pin脚均为5V耐受脚；
2. 5V耐受的IO口直接5V时，建议IO口配置为开漏模式，外部上拉来工作；
3. IO口上电复位后，默认模式为浮空输入，电平特性不确定，为了获得较一致的功耗，建议所有IO口配置成模拟输入然后再根据应用需求来修改为相应的模式（芯片内部没有引出的端口也需要配置）；
4. 为提高EMC性能，未使用的IO口引脚建议硬件上拉或者是下拉；
5. PC13、PC14、PC15和PI8这四个IO口的驱动能力偏弱，输出电流能力有限，配置为输出模式时，其工作速度不能超过2MHz；
6. 多组中同一标号PIN仅可配置一个IO口为外部中断，例：PA0、PB0、PC0仅支持三个中的其中一个IO口产生外部中断，不支持三个同为外部中断模式。

2.4.2. ADC 电路

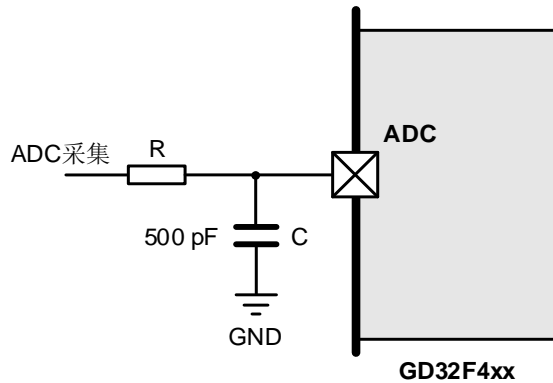
GD32F4xx系列内部集成了一个12位的SAR ADC，它有多达19个通道，可测量16个外部和2个内部信号源及1个外部电池监测信号源。内部信号为温度传感器通道（ADC0_CH16），内部参考电压输入通道（ADC0_CH17），外部信号为外部监测电池V_{BAT}供电引脚输入通道（ADC0_CH18）。温度传感器体现的是温度的变化，并不适合测量绝对温度。如果需要测量精确的温度，必须使用一个外置的温度传感器。内部参考电压V_{REFINT}提供了一个稳定的电压输出（1.2V）给到ADC，并内部连接至ADC0_IN17。提供外部检测V_{BAT}引脚电池电压功能，其转换的值为V_{BAT}/4。

如果在使用过程中，ADC采集外部输入电压，若采样数据波动较大，可能是由于电源波动引起

的干扰，可通过采样内部V_{REFINT}进行校准，反推外部采样电压。

设计ADC电路时，建议在ADC输入管脚处放置个小电容，建议放置一个500pF的小电容即可。

图 2-19. ADC 采集电路设计



$f_{ADC} = 40\text{MHz}$ 时，输入阻抗和采样周期关系如下，为了获得较好的转换结果，使用过程中，建议尽量降低 f_{ADC} 的频率，采样周期尽量选较大的值，外部电路设计时也尽量减小输入阻抗，必要时采用运放跟随来降低输入阻抗。

表 2-6. $f_{ADC}=40\text{MHz}$ 采样周期与外部输入阻抗关系（适用 GD32F405xx/ GD32F407xx/ GD32F450xx 系列 MCU）

T_s (cycles)	t_s (us)	$R_{AIN\ max}$ (K Ω)
3	0.075	0.85
15	0.375	6.5
28	0.7	12.6
55	1.375	25.7
84	2.1	38.8
112	2.8	51.9
144	3.6	N/A
480	12	N/A

表 2-7. $f_{ADC}=40\text{MHz}$ 采样周期与外部输入阻抗关系（适用 GD32F425xx/ GD32F427xx/ GD32F470xx 系列 MCU）

T_s (cycles)	t_s (us)	$R_{AIN\ max}$ (K Ω)
3	0.075	1.3
15	0.375	9.1
28	0.7	17.4
55	1.375	34.8
84	2.1	53.5
112	2.8	71.5
144	3.6	92.4
480	12	308.6

2.4.3. DAC 电路

GD32F4xx系列MCU的数字/模拟转换器可以将12位的数字数据转换为外部引脚上的电压输出。数据可以采用8位或12位模式，左对齐或右对齐模式。当使能了外部触发，DMA可被用于更新输入端数字数据。在输出电压时，可以利用使能DAC输出缓冲区来获得更高的驱动能力。两个DAC可以独立或并发工作。

表2-8. DAC相关引脚描述

名称	描述	信号类型
V _{DDA}	模拟电源	输入，模拟电源
V _{SSA}	模拟电源地	输入，模拟电源地
V _{REF+}	DAC 正参考电压， $2.6V \leq V_{REF+} \leq V_{DDA}$	输入，模拟正参考电压
DAC_OUTx	DACx 模拟输出	模拟输出信号

在使能DAC模块前，GPIO口（PA4对应DAC0，PA5对应DAC1）应配置为模拟模式。

2.4.4. USB 电路

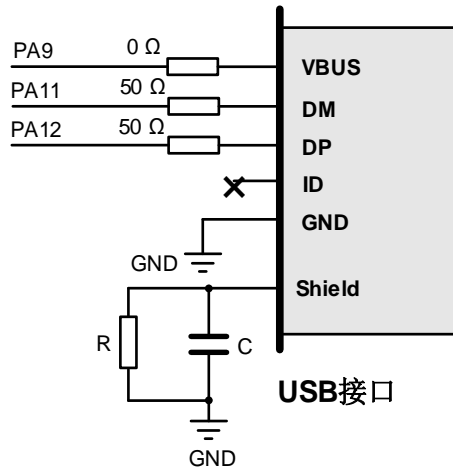
GD32F4xx系列MCU拥有两种USB接口，其为一个USBFS接口，另一个为USBHS接口。USBFS包含了一个内部的全速USB PHY，并且不再需要外部PHY芯片。USBHS为外部USB物理层（PHY）提供了一个ULPI接口，并且其也包含了一个内部的全速USB PHY。所以，对于全速操作，不再需要外部的USB PHY；若使用外部高速ULPI PHY，USBHS支持的最大速度为高速。USBFS接口与USBHS接口使用同一个全速USB PHY。

USB协议要求时钟精度不低于500ppm，内部时钟可能无法达到这样的精度，所以建议使用USB功能时使用外部晶体或有源晶振做为USB模块时钟源。

GD32F4xx系列USB既可设计为USB device，又可设计为USB host。设计为Device时，如果PA9接至VBUS上，DP线不用外接1.5K上拉电阻；如果PA9不接至VBUS上，若已配置USBFS_GCCFG寄存器中VBUSIG控制位，那么USB_DP数据线可不外接1.5K上拉电阻，若不配置该寄存器，那么USB_DP数据线需要外接1.5K上拉电阻。

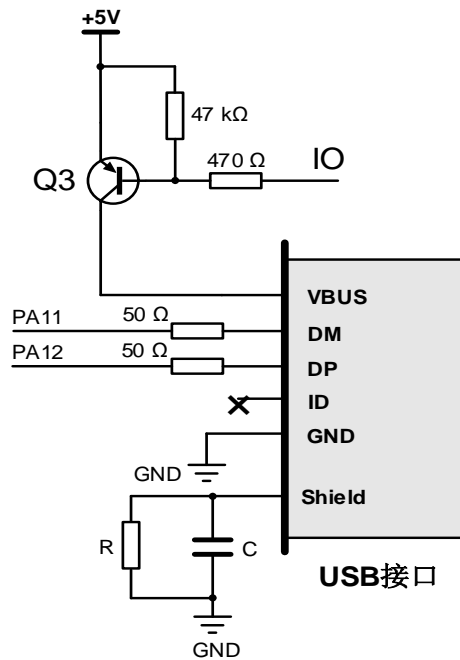
在设计电路时，为了提升USB的ESD性能，USB外壳建议设计阻容放电隔离电路。

图 2-20. 推荐 USB-Device 参考电路



推荐：R = 1MΩ，C = 4700pF。

图 2-21. 推荐 USB-Host 参考电路

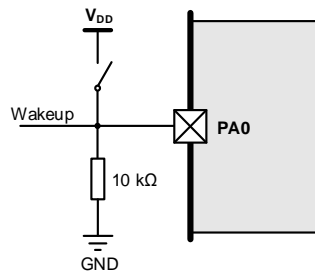


推荐：R = 1MΩ，C = 4700pF。

2.4.5. Standby 模式唤醒电路

GD32F4xx系列支持三种低功耗模式，分别为睡眠模式，深度睡眠模式和待机模式，其中功耗最低的是Standby待机模式，此低功耗模式需要的唤醒时间也是最长的。从Standby模式唤醒可通过WKUP引脚上升沿唤醒，此时无需配置对应GPIO，仅需配置PMU_CS寄存器里的WUPEN位即可。对应WKUP唤醒引脚参考电路设计如下：

图 2-22. 推荐 Standby 外部唤醒引脚电路设计



注意：该模式在电路设计时需要注意，WKUP引脚至V_{DD}间如果有串电阻，可能会增加额外的功耗。

2.5. 下载调试电路

GD32F4xx系列内核支持JTAG调试接口与SWD调试接口。JTAG接口标准为20针接口，其中5根信号接口，SWD接口标准为5针接口，其中2根信号接口。

注意：复位后，调试相关端口为输入PU/PD模式，其中：

PA15: JTDI为上拉模式；

PA14: JTCK / SWCLK为下拉模式；

PA13: JTMS / SWDIO为上拉模式；

PB4: NJTRST为上拉模式；

PB3: JTDO为浮空模式。

表 2-9. JTAG 下载调试接口分配

备用功能	GPIO 端口
JTMS	PA13
JTCK	PA14
JTDI	PA15
JTDO	PB3
NJTRST	PB4

图 2-23. 推荐 JTAG 接线参考设计

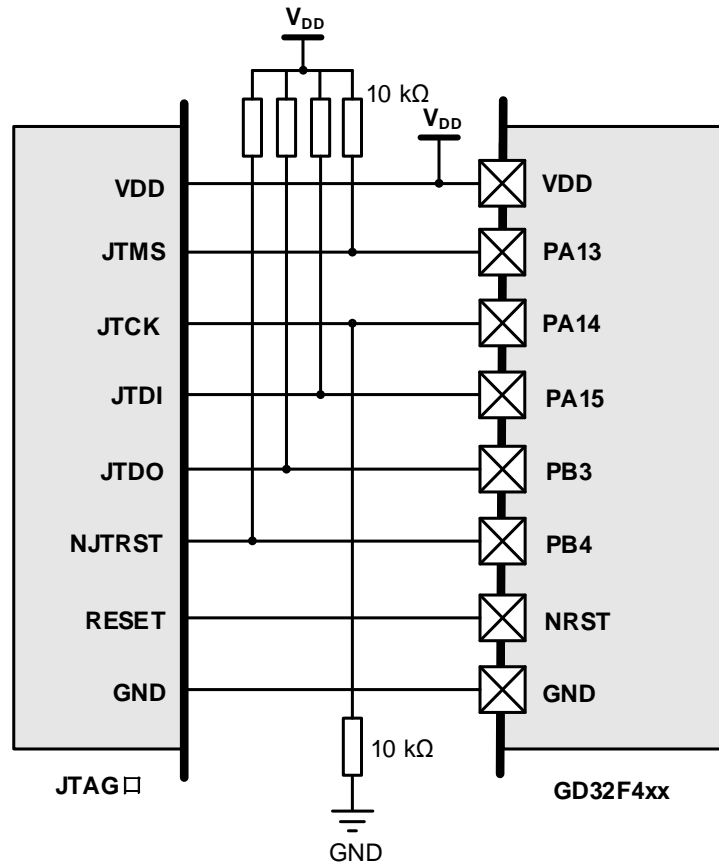
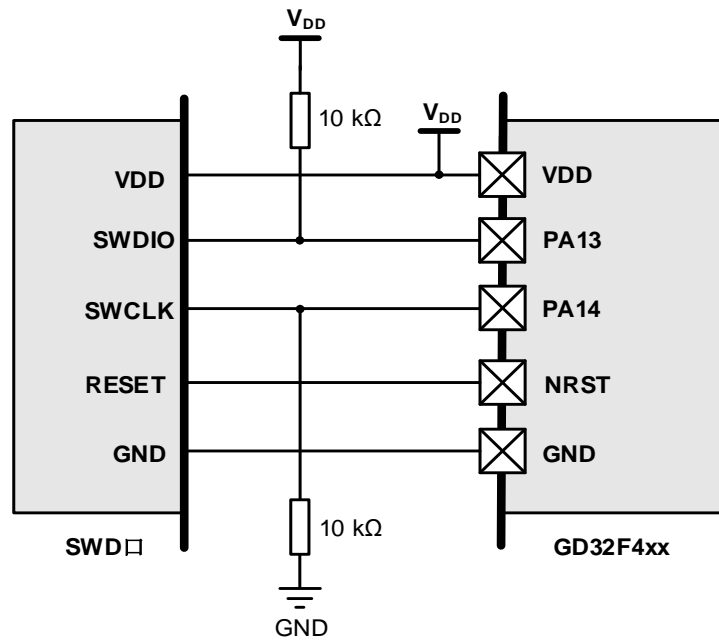


表 2-10. SWD 下载调试接口分配

备用功能	GPIO 端口
SWDIO	PA13
SWCLK	PA14

图 2-24. 推荐 SWD 接线参考设计

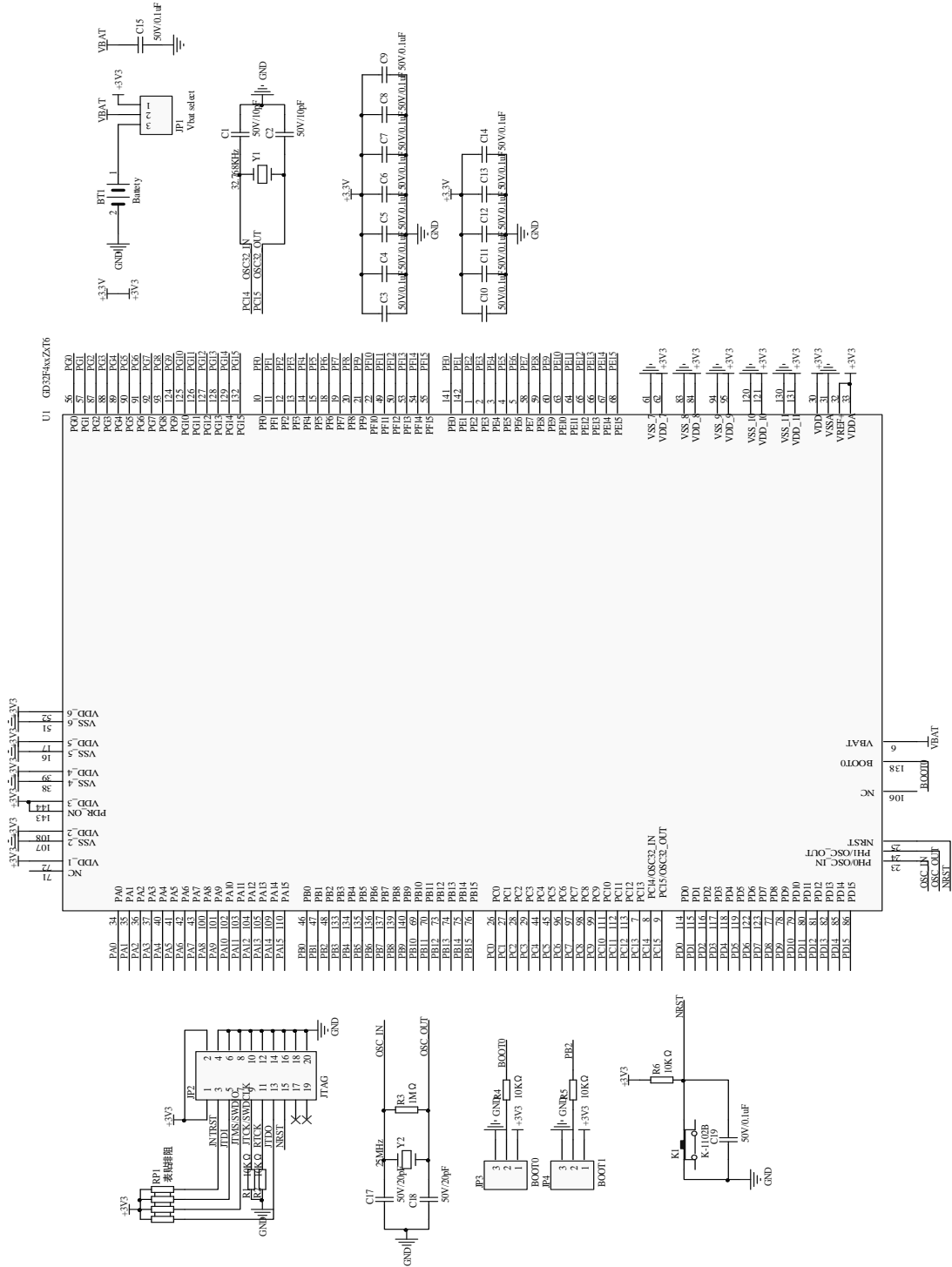


有以下几种方式可以提高SWD下载调试通信的可靠性，增强下载调试的抗干扰能力。

1. 缩短SWD两个信号线长度，最好15cm以内；
2. 将SWD两根线和GND线编个麻花，缠在一起；
3. 在SWD两根信号线对地各并几十pF小电容；
4. SWD两根信号线任意IO串入100Ω~1KΩ电阻。

2.6. 参考原理图设计

图 2-25. GD32F4xx 推荐参考原理图设计



3. PCB Layout 设计

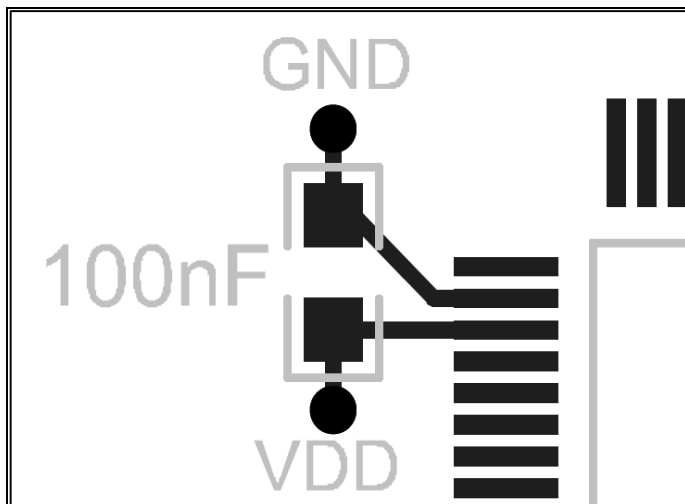
为增强MCU的功能稳定性及EMC性能，不仅需要考虑到配套外围元器件性能，在PCB Layout上也至关重要。另外，在条件允许的情况下，尽量选用有独立GND层和独立电源层的PCB设计方案，这样可以提供更好的EMC性能。如果条件不允许的情况下，无法提供独立的GND层和电源层，那也需要保证有一个良好的供电和接地设计，如尽量使得MCU下方GND平面的完整性等。

在有大功率或可产生强干扰的应用下，需要考虑将MCU远离这些强干扰源。

3.1. 电源去耦电容

GD32F4xx系列电源有V_{DD}、V_{DDA}、V_{REF}等供电脚，100nF去耦电容采用陶瓷MLCC即可，且需要保证位置尽可能地靠近电源引脚。电源走线要尽量使得经过电容后再到达MCU电源引脚，建议可通过靠近电容PAD处打Via的形式Layout。

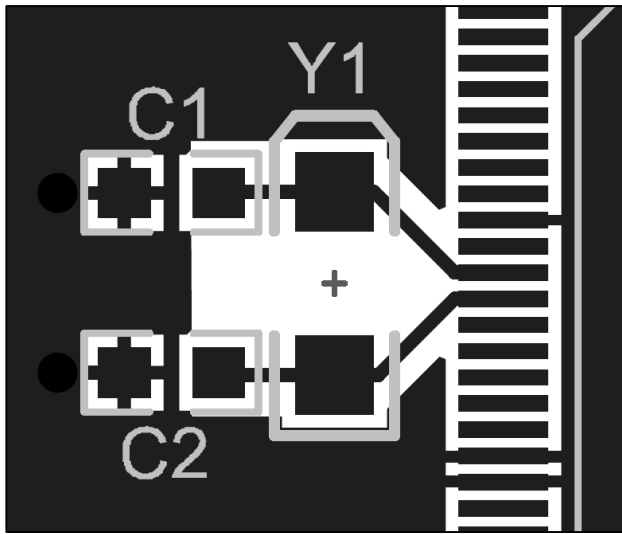
图 3-1. 推荐电源引脚去耦 Layout 设计



3.2. 时钟电路

GD32F4xx系列时钟有HXTAL和LXTAL，要求时钟电路（包括晶体或晶振及电容等）靠近MCU时钟引脚放置，且尽量时钟走线由GND包裹起来。

图 3-2. 推荐时钟引脚 Layout 设计（无源晶体）



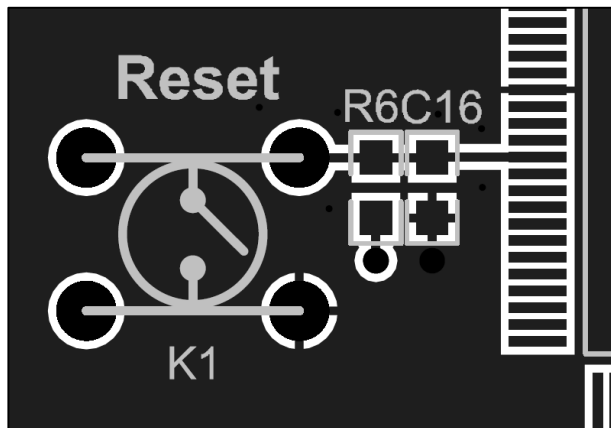
注意：

1. 晶体尽量靠近MCU时钟Pin，匹配电容等尽量靠近晶体；
2. 整个电路尽量与MCU在同层，走线尽量不要穿层；
3. 时钟电路PCB区域尽量禁空，不走任何与时钟无关走线；
4. 大功率、强干扰风险器件及高速走线尽量远离时钟晶体电路；
5. 时钟线进行包地处理，以起到屏蔽效果。

3.3. 复位电路

NRST走线PCB Layout参考如下：

图 3-3. 推荐 NRST 走线 Layout 设计



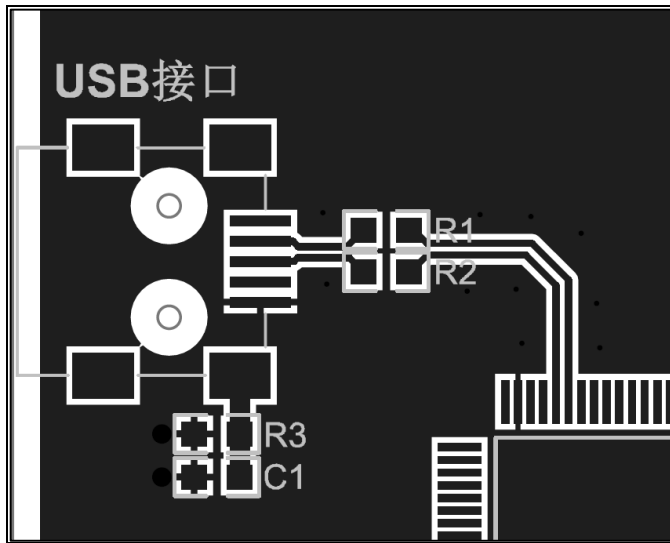
注意：复位电路阻容等尽可能地靠近MCU NRST引脚，且NRST走线尽量远离强干扰风险器件及高速走线等，条件允许的话，最好将NRST走线做包地处理，以起到更好的屏蔽效果。

3.4. USB 电路

对于GD32F4xx系列MCU USB FS模块有DM、DP两根差分信号线，对于USB HS模块，连接外部高速PHY后，PHY芯片也会引出DM、DP两根差分信号线，建议PCB走线要求做特性阻抗90ohm，差分走线严格按照等长等距规则来走，且尽量使走线最短，如果两条差分线不等长，可在终端用蛇形线补偿短线。由于阻抗匹配考虑，串联匹配电阻建议50Ω左右即可。

DM、DP差分走线参考如下：

图 3-4. 推荐 DM、DP 差分走线 Layout 设计



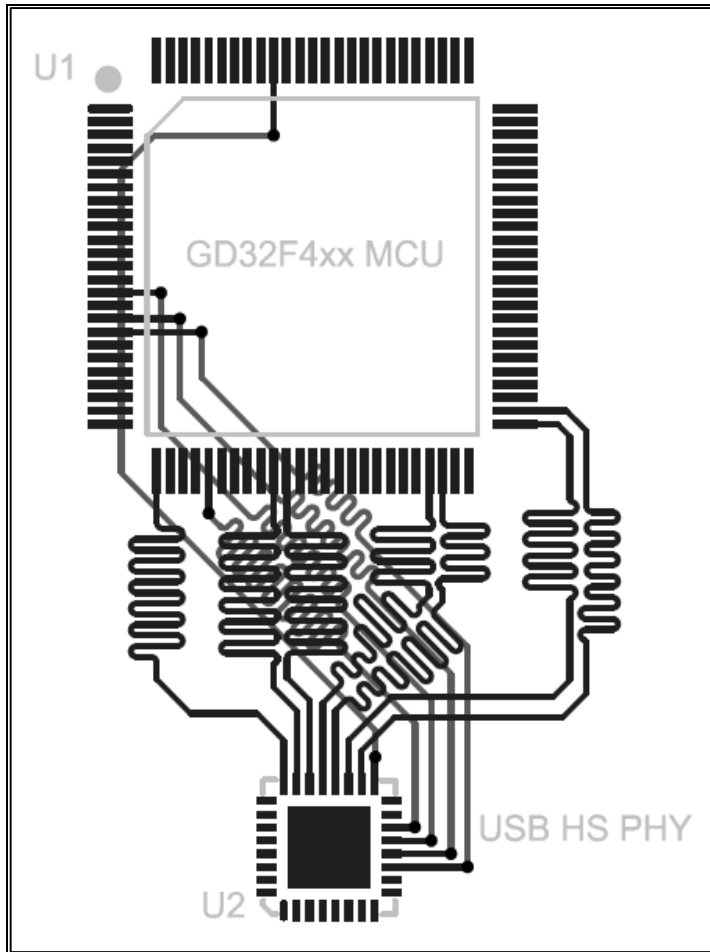
推荐：R1 = R2 = 50Ω，R3 = 1MΩ，C = 4700pF。

注意：

1. 布局时摆放合理，以缩短差分走线距离；
2. 优先绘制差分线，一对差分线上尽量不要超过两对过孔，且需要对称放置；
3. 对称平行走线，保证两根线紧密耦合，避免90°、弧形或45°走线方式；
4. 差分走线上所接阻容、EMC等器件，或测试点，也要做到对称原则。

对于USB HS模块，MCU与外部HS PHY之间的数据线与信号控制线也尽量走短，需要用蛇形线做等长处理，参考如下：

图 3-5. 推荐 MCU 与 PHY Layout 设计



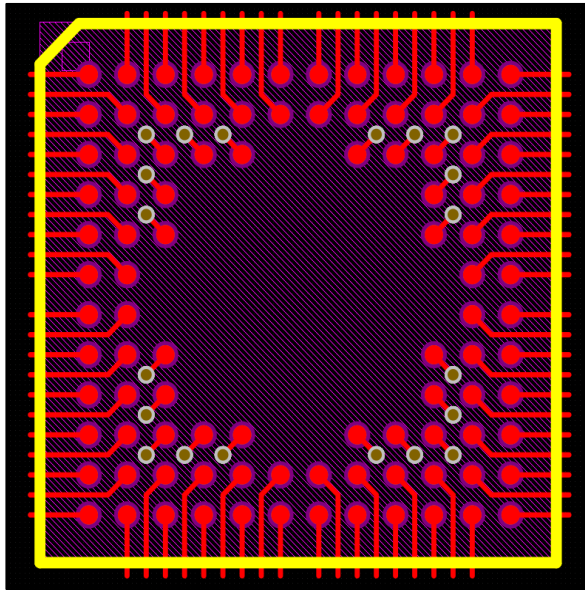
注意:

1. 图中只绘制了MCU与USB HS-PHY之间的连线，其他电路未绘制；
2. 布局时摆放合理，USB HS-PHY芯片与MCU之间尽量紧凑；
3. 布线时，以信号线中最长的一根线长度为目标，将其他信号线通过蛇形走线补偿即可。

3.5. BGA 封装的扇出

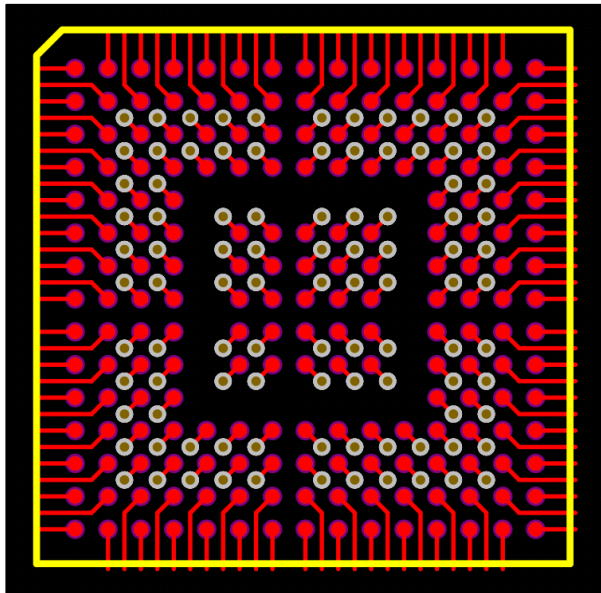
对于GD32F4xx 系列MCU部分型号存在BGA176(0.65mm Pitch)封装与BGA100(0.5mm Pitch)封装，我们推荐以下的走线规则与扇出方式。

图 3-6. BGA100 封装的扇出方式



对于0.5 mm Pitch的BGA封装，若将BGA焊盘大小设置为0.25/0.35，过孔距焊盘以及线宽线距为3 mil时，可以使用Dog bone型扇出，扇出后如[图3-6. BGA100封装的扇出方式](#)所示，过孔距焊盘距离为4.5mil；但此种布线对PCB制造商工艺要求较高，需与PCB制造商沟通后再进行布线，若制造商工艺达不到要求，可对此BGA封装打盘中孔以及盲埋孔。

图 3-7. BGA176 封装的扇出方式



对于0.65 mm Pitch的BGA封装推荐使用规则设置4 mil线宽线距，使用8/12 mil（若所过电流较大，8/13 mil亦可，大于8/13 mil 尺寸，4 mil线宽线距无法出线）过孔进行扇出，扇出后如[图3-7. BGA176封装的扇出方式](#)所示，过孔距焊盘距离为6.2mil。

4. 封装说明

GD32F405xx/ GD32F425xx系列共有4种封装形式，分别为LQFP64、LQFP100、BGA100和LQFP144；

GD32F407xx/ GD32F427xx系列共有5种封装形式：LQFP64、LQFP100、BGA100、LQFP144和BGA176；

GD32F450xx系列共有3种封装形式，分别为LQFP100、LQFP144和BGA176；

GD32F470xx系列共有4种封装形式，分别为LQFP100、LQFP144、BGA100和BGA176；

表 4-1. 封装型号说明

Ordering code	Package
GD32F40xRxT6	LQFP64(10x10, 0.5pitch)
GD32F42xRxT6	LQFP64(10x10, 0.5pitch)
GD32F40xVxT6	LQFP100(14x14, 0.5pitch)
GD32F42xVxT6	LQFP100(14x14, 0.5pitch)
GD32F40xVxH6	BGA100(7x7, 0.5pitch)
GD32F42xVxH6	BGA100(7x7, 0.5pitch)
GD32F40xZxT6	LQFP144(20x20, 0.5pitch)
GD32F42xZxT6	LQFP144(20x20, 0.5pitch)
GD32F407lxH6	BGA176(10x10, 0.65pitch)
GD32F427lxH6	BGA176(10x10, 0.65pitch)
GD32F4x0VxT6	LQFP100(14x14, 0.5pitch)
GD32F4x0ZxT6	LQFP144(20x20, 0.5pitch)
GD32F4x0lxH6	BGA176(10x10, 0.65pitch)
GD32F470VxH6	BGA100(7x7, 0.5pitch)

(Original dimensions are in millimeters)

5. 版本历史

表 5-1. 版本历史

版本号.	说明	日期
1.0	首次发布	2022 年 4 月 20 日

Important Notice

This document is the property of GigaDevice Semiconductor Inc. and its subsidiaries (the "Company"). This document, including any product of the Company described in this document (the "Product"), is owned by the Company under the intellectual property laws and treaties of the People's Republic of China and other jurisdictions worldwide. The Company reserves all rights under such laws and treaties and does not grant any license under its patents, copyrights, trademarks, or other intellectual property rights. The names and brands of third party referred thereto (if any) are the property of their respective owner and referred to for identification purposes only.

The Company makes no warranty of any kind, express or implied, with regard to this document or any Product, including, but not limited to, the implied warranties of merchantability and fitness for a particular purpose. The Company does not assume any liability arising out of the application or use of any Product described in this document. Any information provided in this document is provided only for reference purposes. It is the responsibility of the user of this document to properly design, program, and test the functionality and safety of any application made of this information and any resulting product. Except for customized products which has been expressly identified in the applicable agreement, the Products are designed, developed, and/or manufactured for ordinary business, industrial, personal, and/or household applications only. The Products are not designed, intended, or authorized for use as components in systems designed or intended for the operation of weapons, weapons systems, nuclear installations, atomic energy control instruments, combustion control instruments, airplane or spaceship instruments, transportation instruments, traffic signal instruments, life-support devices or systems, other medical devices or systems (including resuscitation equipment and surgical implants), pollution control or hazardous substances management, or other uses where the failure of the device or Product could cause personal injury, death, property or environmental damage ("Unintended Uses"). Customers shall take any and all actions to ensure using and selling the Products in accordance with the applicable laws and regulations. The Company is not liable, in whole or in part, and customers shall and hereby do release the Company as well as its suppliers and/or distributors from any claim, damage, or other liability arising from or related to all Unintended Uses of the Products. Customers shall indemnify and hold the Company as well as its suppliers and/or distributors harmless from and against all claims, costs, damages, and other liabilities, including claims for personal injury or death, arising from or related to any Unintended Uses of the Products.

Information in this document is provided solely in connection with the Products. The Company reserves the right to make changes, corrections, modifications or improvements to this document and Products and services described herein at any time, without notice.